

基于 FPGA 的高效灵活性数字正交下变频器设计

徐 伟,王旭东

(南京航空航天大学 电子信息工程学院,江苏 南京 210016)

摘要: 数字正交下变频器 DDC 是数字接收机系统中的核心部件,其作用是将 ADC 数字化后输出的高速中频信号进行下变频、抽取降速和低通滤波,使之变为适合处理的基带信号。给出了 DDC 各模块在 FPGA 中高效实现的方法,并且利用嵌入式逻辑分析仪对系统加载板卡后的实时运行结果进行了测试分析。

关键词: 软件无线电;DDC;FPGA

中图分类号: TN773

文献标识码: A

文章编号: 0258-7998(2012)09-0005-03

Design of a high-efficiency and flexible digital down converter based on FPGA

Xu Wei, Wang Xudong

(Electronic Information Engineering Institute, Nanjing University of Aeronautics and Astronautics, Nanjing 210016, China)

Abstract: Digital down converter DDC is the core technology in software radio receiver system. After converting down, speeding down and processed by low-pass filter, it can change the IF signal into baseband signal which is suitable for processing signal. This paper introduces a simply and flexible method to realize each module of DDC in FPGA, and get the real-time operation of the system with the SignalTap II logic analyzer.

Key words: software radio; DDC; FPGA

在软件无线电中,数字下变频 DDC 作为一个桥梁连接着前端 A/D 转换器和后端的 DSP 器件。通过变频、抽取滤波,将低速数据送给 DSP 器件进行处理^[1-4]。随着半导体技术的发展, FPGA 的性能越来越高,而成本越来越低,并且内置越来越多的成熟 IP 核,这些都为其研究和开发提供了方便。利用 FPGA 实现 DDC 功能成为软件无线电设计中的常用手段。

1 数字下变频的基本原理

在软件无线电中,一般都采用正交数字下变频法,如图 1 所示,正交数字下变频法主要由数字混频器、数字振荡器 NCO 和抽取滤波器三个部分组成。其中核心

部件是抽取滤波器和数字振荡器 NCO。抽取滤波器采用具有抗混叠效应的 CIC 滤波和作为补偿滤波器的 FIR 来实现,NCO 模块采用 Altera 的 NCO 核来实现^[5]。

2 抽取滤波器的设计

2.1 积分梳状滤波器(CIC)

CIC 数字滤波器是窄带低通滤波器的高计算效率的实现形式,常常被嵌入到现代通信系统的抽取和插值模块的硬件实现中。

所谓梳状滤波器,是指该滤波器的冲击响应具有如下形式:

$$h(n) = \begin{cases} 1 & 0 \leq n \leq D \\ 0 & \text{其他} \end{cases} \quad (1)$$

式中, D 即为 CIC 滤波器的阶数(D 其实也是抽取因子)。CIC 滤波器的 z 变换为:

$$H(z) = \sum_{n=0}^{D-1} h(n) \cdot z^{-n} = \frac{1}{1-z^{-1}} (1-z^{-D}) = H_1(z)H_2(z) \quad (2)$$

式中, $H_1(z) = \frac{1}{1-z^{-1}}$, $H_2(z) = 1-z^{-D}$ 。

由于单级 CIC 滤波器的旁瓣电平比较大,阻带衰减

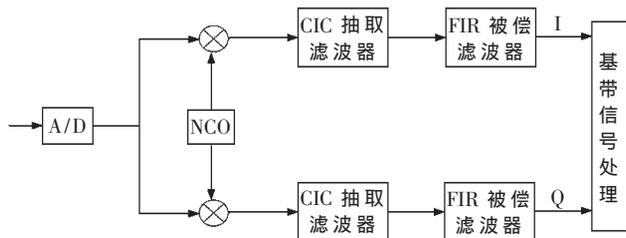


图 1 DDC 系统框图

很差,难以满足实用要求。为了降低旁瓣电平,采用多级 CIC 滤波器级联的方法来解决,滤波器级数 N 越大, CIC 幅频相应越好。图 2 采用的是 8 级抽取结构的 CIC 滤波器。

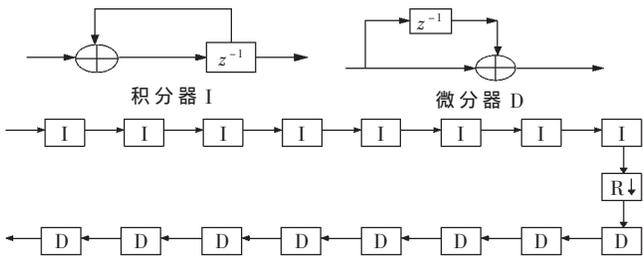


图 2 8 级 CIC 抽取滤波器结构框图

2.2 FIR 补偿滤波器

虽然梳状滤波器在高速采样的情况下很有效,但是其相应缺少平坦的通带和快速下降的过渡带。为了解决这个问题,一般在抽取 CIC 滤波器后面级联一个补偿 FIR 滤波器。积分梳状滤波器 CIC 经过补偿滤波器 CFIR 的补偿后,其幅频响应具有近乎水平的通带和快速下降的过渡带。

积分梳状滤波器 CIC、补偿滤波器 CFIR 以及二者级联后的信号如图 3 所示。从图中可以看出,CIC 与 CFIR 级联后的幅频响应曲线通带平坦、过渡带陡峭,满足设计要求。



图 3 CIC 及其补偿滤波器频率响应图

3 系统硬件实现及结果仿真

下面以一个实际工程应用系统来说明当系统带宽的中心频率落在 $F_s/4$ 位置时,可对上述结构进行简化。

3.1 系统结构进一步简化

假设 A/D 采样率为 120 MS/s、系统带宽为 40 Mb/s、中心频率选为 30 MHz,为防止滤波器过度带对信号的影响,在用户频带的两端留有 10 MHz 的保护,如图 4 所示。

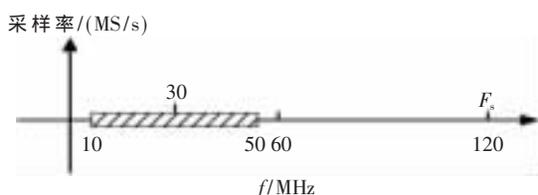


图 4 系统带宽及采样率

对图中的接收信号下变频至零中频,则图 4 中的 NCO 设置应为 30 MHz($F_s/4$)。为防止频率混叠,需对下变频后的信号进行低通滤波,如图 5 所示。

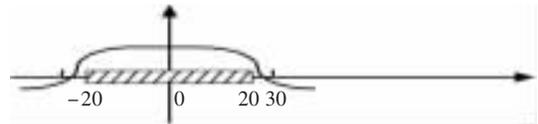


图 5 下变频后的系统频带

由于 NCO 采用的是 $F_s/4$,因此其输出 I 路为:1,0,-1,0...,Q 路为:0,-1,0,1...。可见,并不需要乘法运算和 NCO IP 核,只需要改变两路输入数据的符号即可。

考虑对滤波后的数据要进行 2 抽 1,为进一步减少运算冗余,根据多速率数字信号处理理论,可将抽取运算放在滤波之前,同时 NCO 的输出也要做相应变化,且这时的 LPF 变成了奇偶分离的多相结构。经过上述一系列变换后的正交变换模型如图 6 所示。

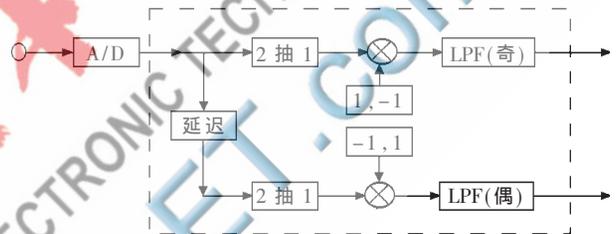


图 6 改进的多相滤波结构数字正交变换

3.2 FPGA 设计

对上述算法模型进行 FPGA 设计,采用 Altera 公司的 STRATIXII 系列 FPGA 作为器件平台,并在其 STRATIXII DSP 开发板上进行硬件验证。

A/D 采样率为 120 MS/s,系统输入时钟频率为 120 MHz,低通滤波器(LPF)的阶数为 64 阶,分解到奇偶两路各 32 阶。在 QUARTUSII 软件中应用 Verilog 进行开发,系统经综合编译后的 RTL 图如图 7 所示。

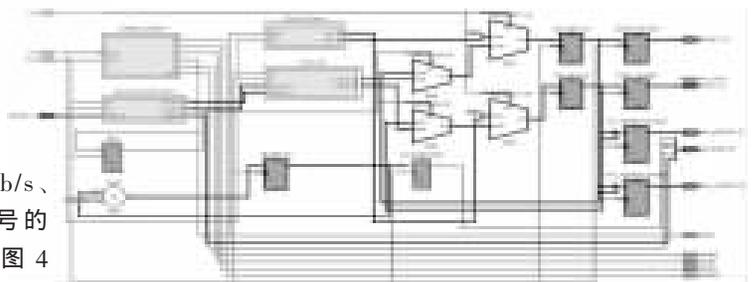


图 7 多相滤波结构数字正交变换 RTL 图

表 1 为系统的资源消耗情况,可以看出该系统消耗的 logic 资源、存储器资源以及 DSP 模块资源非常少,满足绝大多数雷达、电子侦察、通信系统的要求。

将关心的信号添加到 Altera 提供的 SignalTap II Logic Analyzer 中。利用板子上的 ADC 输入不同频率的信号,使用 STP 进行采集并将采集到的波形数据保存为

表 1 改进的数字下变频系统资源消耗

设计名称	DDC
所用芯片	EP2S180F1020C5
逻辑消耗	5 058/143 520(4%)
管脚消耗	81/743(11%)
存储器资源消耗	84/9 383 040(<1%)
9b DSP 资源消耗	0/768(0%)
PLL 资源消耗	1/12(8%)

CSV 文件,然后利用 Matlab 将其中 I/Q 两路输出信号读出,作图分析其正交性。为验证该系统在整个频带内的性能平稳度,每隔 10 MHz 设置一个频点,进行详细验证,如图 8~图 12 所示。

硬件验证结果表明,在整个 10 MHz~40 MHz 设计带

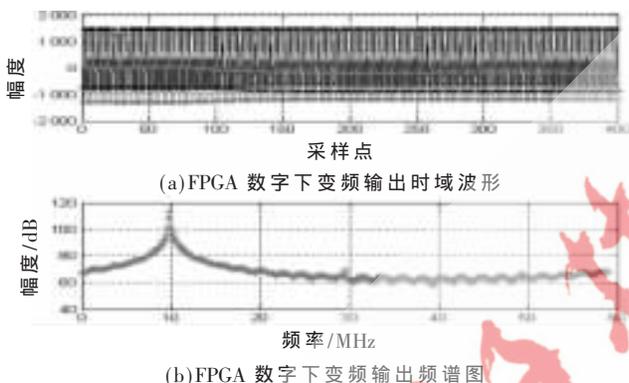


图 8 系统正交变换性能(输入信号频率为 10 MHz)

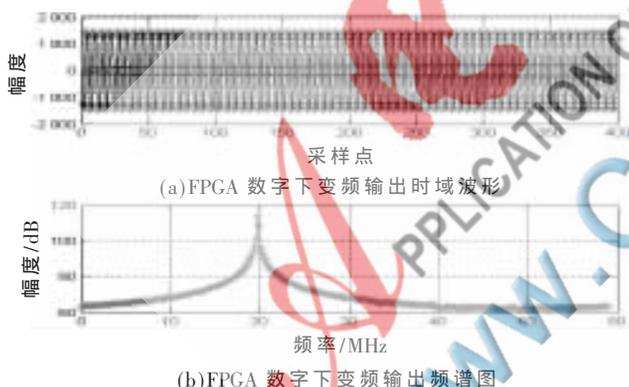


图 9 系统正交变换性能(输入信号频率为 20 MHz)

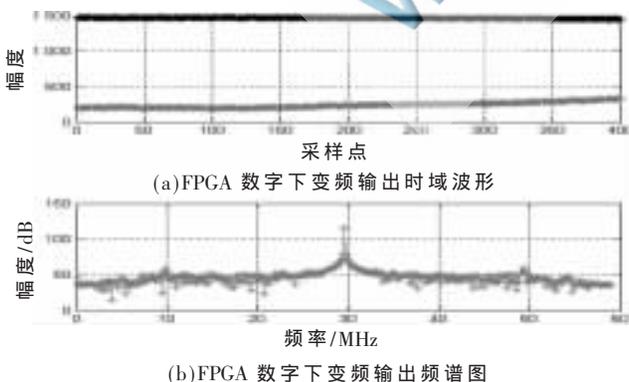


图 10 系统正交变换性能(输入信号频率为 30 MHz)

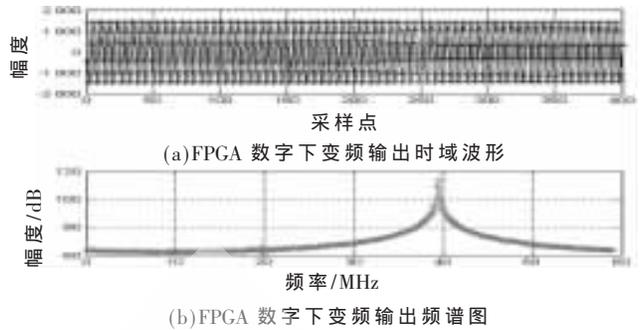


图 11 系统正交变换性能(输入信号频率为 40 MHz)



图 12 系统正交变换性能(输入信号频率为 50 MHz)

宽内有效地实现了对中频信号的下变频处理,并且信号具有很好的正交性。该正交变换系统的镜频抑制能力可达 60 dB,能够满足绝大多数雷达、电子侦察、通信系统的设计要求。

参考文献

- [1] 杨小牛,楼才义,徐建庭.软件无线电技术与应用[M].北京:电子工业出版社,2010.
- [2] 杨勋.软件无线电中上下变频技术的设计和实现[D].西安:西安电子科技大学,2007.
- [3] SIMONE L, COMPARINI M C, MARCHETTI F, et al. Spacecraft transponder for deep space applications: design and performance[C].IEEE Aerospace Conference Proceeding, 2002: 1337-1347.
- [4] COLEMAN J O, ALTER J J, SCHOLNIK D. FPGA Architecture for gigahertz-sampling wideband if-to-baseband conversion[C].2000 International Conference on Signal Processing Applications and Technology, 2000.
- [5] Altera Corporation. NCO megacore function user guide[Z]. 2009.

(收稿日期:2012-08-08)

作者简介:

徐伟,男,1987年生,在读硕士研究生,主要研究方向:电子侦察,FPGA应用。

王旭东,男,1978年生,硕士研究生,讲师,主要研究方向:电子侦察,信号检测,参数估计,FPGA应用。