

一种低功耗 Sigma-Delta 调制器的设计*

王亮¹, 杨骁¹, 齐骋¹, 凌朝东¹, 谢应辉²

(1. 华侨大学 信息科学与工程学院, 福建 厦门 361021;

2. 北京微电子技术研究所, 北京 100076)

摘要: 采用改进的单环二阶 2 bit 调制器架构和低功耗 AB 类放大器电路, 实现了一种应用于无线收发机系统中的低功耗 Sigma-Delta 调制器。利用 Matlab/Simulink 进行了建模仿真, 优化调制器系数, 并采用 TSMC 0.18 μm CMOS 工艺进行了电路设计。电路仿真结果表明, 在采样频率为 1.228 8 MHz、过采样率为 64 时, 调制器的信号噪声谐波失真比达到 77.0 dB, 功耗为 1.18 mW, 具有低功耗特点。

关键词: delta-sigma 调制器; 低功耗; 全差分运算放大器

中图分类号: TN432

文献标识码: A

文章编号: 1674-7720(2012)18-0027-03

Design of a low-power sigma-delta modulator

Wang Liang¹, Yang Xiao¹, Qi Cheng¹, Ling Chaodong¹, Xie Yinghui²

(1. College of Information Science and Engineering, Huaqiao University, Xiamen 361021, China;

2. Beijing Microelectronics Technology Institute, Beijing 100076, China)

Abstract: A low-power Sigma-Delta modulator applied to wireless transceiver system is implemented by adopting the improved single-loop second-order 2-bit structure and the low-power class-AB amplifier. System model of the modulator is built and simulated by Matlab/Simulink, and the coefficients are optimized. The circuit is designed in TSMC 0.18 μm CMOS process. Simulation results show that the modulator can achieve a SNDR of 77 dB at the sample frequency of 1.228 8 MHz and the over-sampling ratio of 64, and the power consumption is 1.18 mW. The modulator achieves a good performance on low power.

Key words: Sigma-Delta modulator; low-power; fully differential operational amplifier

随着超大规模集成电路的高速发展, 便携式设备大量应用于日常生活中。便携式设备对电路的低功耗要求非常高。Sigma-Delta ADC 与其他结构的 ADC 相比, 具有低功耗和高精度的特点, 已经广泛地应用于各种便携式无线通信系统中。本文设计了一种适用于短距离无线收发机中的低功耗 Sigma-Delta 调制器。

Sigma-Delta 调制器在设计中有几个重要的参数: 调制器的阶数、过采样率、拓扑结构和量化器位数^[1]。这些参数的选择决定了调制器的性能和成本。一位量化器具有很好的线性度, 但其调制器要实现高精度必然要提高调制器的阶数或者过采样率, 这样必然增加了系统的功耗, 而且高阶结构不利于系统的稳定^[2]。本文的目标是设计一个应用于短距离无线接收机中的低功耗调制器, 其性能指标为: 带宽 9.6 kHz、精度大于 12 bit。综合以上考虑, 本文采用改进的单环二阶多位量化器低功耗

结构, 并采用低功耗全差分运算放大器, 进一步降低了电路的功耗。

1 系统设计与仿真

本文采用改进后的单环二阶 Sigma-Delta 调制器, 其结构如图 1 所示。该结构与传统结构相比, 增加了一条从调制器输入端到第二级积分器输入端的信号通路。

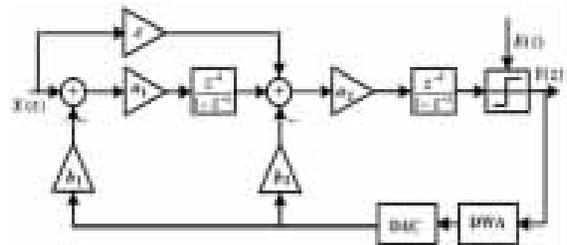


图 1 单环二阶 Sigma-Delta 调制器结构

经过优化设计与仿真后, 得到图中的系数分别为: $a_1=1, a_2=1, b_1=1, b_2=2, c=0.5$ 。调制器的信号传递函数 (STF) 和噪声传输函数 (NTF) 分别为:

$$\text{STF}(z) = z^{-2} + 0.5z^{-1}(1 - z^{-1}) \quad (1)$$

《微型机与应用》2012 年 第 31 卷 第 18 期

* 基金项目: 福建省自然科学基金 (2010J05135); 中央高校基本科研业务专项资金 (JB-ZR1128)

$$NTF(z)=(1-z^{-1})^2 \quad (2)$$

本文调制器的信号和噪声传递函数的幅频特性曲线如图2所示。传统结构的STF为全通系统,而本文改进后结构的STF是低通系统,这种结构能有效地滤除输入信号中带宽外的噪声,降低了对后面数字抽取低通滤波器的设计要求^[3]。此外,该结构还有以下优点:只有一条前馈通路,电路简单,减少额外的面积和功耗;降低了第一个积分器输出的幅度,也就降低对第一级OTA的输出摆幅的要求和系统功耗。

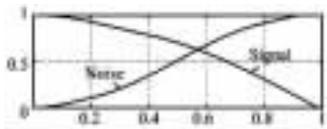


图2 调制器的信号和噪声传输的幅频特性曲线

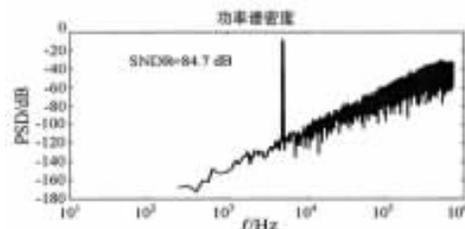
本文调制器采用多位量化器,在实际电路实现时,由于元器件的失配,多位量化器结构会带来非线性问题,使得调制器的输出信号产生较大的谐波^[4]。针对这个问题,本设计采用了动态元器件匹配(DEM)技术中的数据权重平均法(DWA)来提高系统的线性度。DWA是通过DAC开关的循环选择来实现的,该算法不但能够抑制调制器的谐波分量,还能对多位DAC误差进行一阶整形,并且实现电路简单^[5-6]。

对图1所示的二阶2位调制器在Simulink中进行了建模,建模时考虑了多位量化器的非线性问题。仿真时采样频率为1.2288 MHz,输入正弦信号频率为5 kHz,过采样率为64,调制器带宽为9.6 kHz。当2 bit DAC不存在失配时,调制器输出信号功率谱如图3(a)所示,其信号噪声谐波失真比(SNDR)为84.7 dB,并且频谱中没有谐波分量;当DAC中各个采样电容之间存在1%的失配时,调制器的输出功率谱如图3(b)所示,从图中可以看出,此时频谱中存在较大的谐波分量,调制器的SNDR降至50.9 dB,严重影响了整个系统的性能;采用DWA算法电路后,同样在各个采样电容之间存在1%的失配情况下,输出功率谱如图3(c)所示,与未使用DWA算法相比,其低频段的噪声基底小得多,并且没有明显的谐波分量,SNDR为80.7 dB。这表明,本设计所采用的DWA算法能够较好地抑制多位DAC非线性对调制器性能的影响。

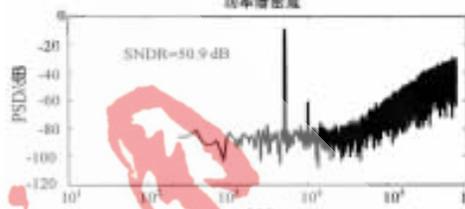
2 电路设计

2.1 全差分开关电容积分器

A/D转换器是模数混合系统,容易受时钟馈通、衬底、电源、开关电荷注入噪声的影响,因此本设计电路采用全差分开关电容积分器来实现。全差分结构能有效地抑制共模噪声,而且具有较大的输出摆幅。本文全差分开关电容积分器电路如图4所示,电路由两相不交叠时



(a) DAC中不存在失配



(b) DAC采样电容间存在1%失配



(c) 采用DWA算法,且采样电容间存在1%失配

图3 Simulink行为级仿真结果

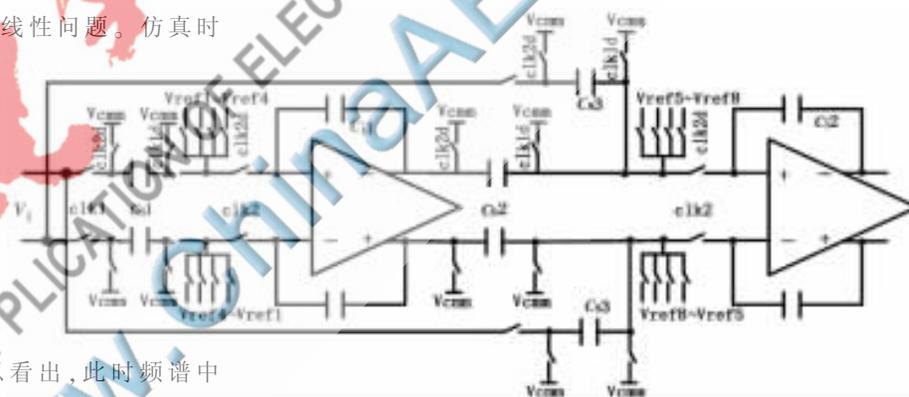


图4 全差分开关电容积分器电路

钟来控制。Clk1为采样时钟,Clk2为积分时钟,Clk1d和Clk2d分别为Clk1和Clk2的延迟时钟,使用这样的时钟控制能够有效地降低电荷注入效应^[7]。

对于全差分结构的开关电容积分器,其热噪声的主要来源是开关,由开关引入的调制器信号带宽内的热噪声功率为 $2KT/C_sM$,其中 C_s 为采样电容, M 为调制器的过采样率^[8]。调制器对第一级以后的热噪声是有整形效果的,抑制了调制器信号带宽内的热噪声,所以只需要考虑第一级积分器电路引入的热噪声,为了降低热噪声对系统的影响,第一级积分器一般选择较大的采样电容,但是大的采样电容又会降低电路的速度,增加功耗。本文根据调制器的各项性能指标折中考虑,经仿真选取 $C_{s1}=6\text{ pF}$ 。

欢迎网上投稿 www.pcachina.com 31

2.2 运算跨导放大器

在开关电容 Sigma-Delta 调制器中,为了使运算放大器的有限增益和有限带宽不明显地降低调制器的性能,一般要求运放的开环增益不小于 60 dB,单位增益带宽为调制器采样频率的 4~6 倍。本调制器的采样时钟频率为 1.228 8 MHz,为了满足上述要求,OTA 的单位增益带宽需要大于 5 MHz。

本文所设计的运算跨导放大器 OTA (Operational Transconductance Amplifier)电路如图 5 所示,采用了两级运放的结构,第一级采用折叠式共源共栅放大器实现高增益;第二级采用 AB 类推挽共源放大器实现大的电容负载驱动能力。AB 类输出级使得在实现与 A 类输出级相同第一非主极点的情况下,可以节省大约一半的输出电流^[9],降低了电路的功耗。电路采用全差分结构,其共模反馈电路由 M17、M18、M19、R1、R2、C5 和 C6 组成。第一级运放的各项性能指标如表 1 所示,该结果满足系统对运放的要求。系统对第二级 OTA 的要求要低于第一级的要求,因此可以采用第一级的结构,并等比例缩小管子参数后得到第二级 OTA,从而能够降低系统的功耗。

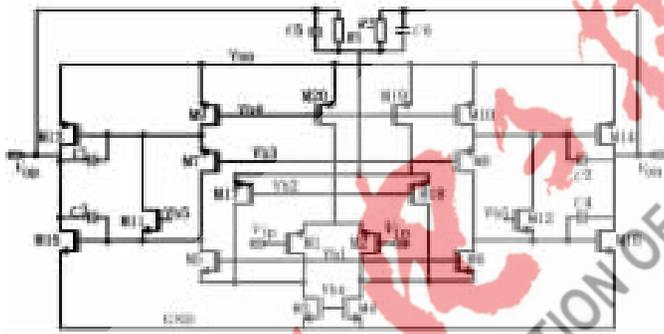


图 5 运算跨导放大器电路

表 1 OTA 的性能

参数	仿真结果
开环直流增益/dB	83.8
单位增益带宽/MHz	7.35
相位裕度/°	53
建立时间/ns	30
输出摆幅/V	1.8
功耗/mW	0.54

2.3 量化器

量化器采用一个 2 bit 的 Flash A/D 转换器实现,每位都是由一个比较器和一个锁存器实现,出于速度和功耗方面的考虑,比较器采用动态 CMOS 结构,电路如图 6 所示。

该比较器的工作状态由时钟 clk 端控制,工作过程可以分为复位期(reset interval)和再生期(regeneration interval)。clk 为低电平时,比较器工作在复位模式,电路处于预充值状态,使得锁存器的 A 和 B 输入端变为高电平,因此 SR 锁存器的输出保持不变。clk 为高电平时,预

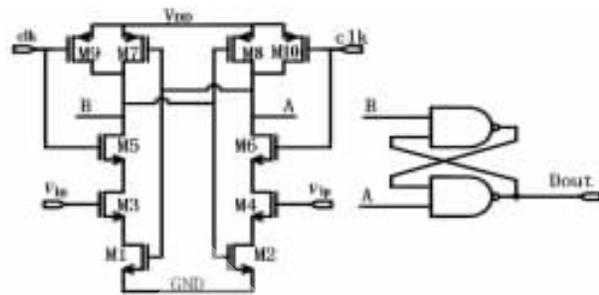


图 6 动态比较器和锁存器

充值管 M9、M10 截止,电路进入比较状态,当 $V_{ip} > V_{in}$ 时,流过 M4 的电流大于 M3 的电流,正反馈使得 A 点电位迅速降低,B 点电位升高,Dout 输出高电平。

3 调制器整体仿真结果

整个 Sigma-Delta 调制器电路采用 TSMC 0.18 μm 工艺实现,并用 Cadence/Spectre 对电路进行仿真验证。仿真时,输入信号是频率为 9.3 kHz、幅度为 250 mV 的正弦信号,调制器的采样频率为 1.228 8 MHz,过采样率为 64。对调制器输出数据采样 4 096 点后,将数据导入 Matlab,利用快速傅里叶变换,得到输出信号频谱图如图 7 所示,其输出信号 SNDR 为 77.0 dB,达到了整个收发机系统对调制器的要求。

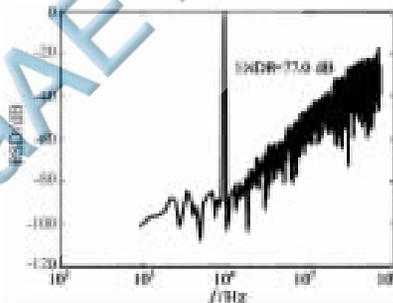


图 7 输出信号功率谱密度

本文基于 3.3 V TSMC 0.18 μm CMOS 工艺实现了一种低功耗低通 Sigma-Delta 调制器,其工作频率为 1.228 8 MHz,过采样率为 64,信号带宽为 9.6 kHz。调制器采用了二阶 2 bit 低功耗架构,并采用两级 AB 类运放来降低功耗。仿真结果表明,调制器的 SNDR 为 77.0 dB,达到了收发机系统对调制器性能的要求,并且其功耗仅为 1.18 mW,具有较好的低功耗特性。

参考文献

- [1] RABII S, WOOLEY B A. The design of low-voltage, Low-power sigma-delta modulators [M]. Boston: Kluwer Academic Publishers, 1999.
- [2] BRANDT B P. Oversampled analog-to-digital conversion[D]. Stanford: Stanford University, 1991.
- [3] SCHREIER R, TEMES G C. Understanding delta-sigma data converters[M]. New York: IEEE Press, 2005.
- [4] Cheng Yongjie. Multibit delta-sigma modulator with two-

- step quantization and segmented DAC[J].IEEE Transactions on Circuits and System, 2006, 53(9): 848-852.
- [5] CINI D, SAMORI C, LACAITA A L. Double-Index averaging: a novel technique for dynamic element matching in sigma-delta A/D converters[J]. IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing, 1999, 46(4): 353-358.
- [6] 欧伟, 吴晓波. 高精度低功耗多位置量化的 Σ - Δ 调制器的设计[J]. 机电工程, 2008, 25(12): 28-30.
- [7] 韩俊, 王卫东. 基于开关电容技术的 Σ - Δ 调制器的设计[J]. 微电子学, 2011, 41(3): 354-358.
- [8] NGUYEN V T, LOUMEAU P, NAVINER J F. VHDL-AMS behavioral modeling and simulation of high-pass delta-sigma modulator[C]. Proceedings of the 2005 IEEE International Behavioral Modeling and Simulation Workshop. San Jose, CA, United States: Institute of Electrical and Electronics Engineers Computer Society, 2005: 106-111.
- [9] YAVARI M, SHOAEE O, AFZALI K A. A very low-voltage, low-power and high resolution sigma-delta modulator for digital audio in 0.25- μ m CMOS[C]. ISCAS, 2003: 1045-1018. (收稿日期: 2012-05-07)

作者简介:

王亮, 男, 1987年生, 硕士研究生, 主要研究方向: 模拟射频集成电路设计。

杨晓, 男, 1978年生, 博士, 硕士生导师, 主要研究方向: 模拟射频集成电路设计。

齐骋, 男, 1987年生, 硕士研究生, 主要研究方向: 模拟射频集成电路设计。

电子技术应用
APPLICATION OF ELECTRONIC TECHNIQUE
www.ChinaAET.com