

# 基于 FPGA 的高精度数字移相信号发生器的设计

黄俊,余水宝,黄相平

(浙江师范大学 数理与信息工程学院,浙江 金华 321004)

**摘要:** 以 FPGA 为核心,采用锁相技术、直接数字频率合成(DDS)技术产生两路频率相同而相位不同的移相信号。同时通过 STC12LE5A60S2 单片机控制,可任意设置两路信号的频率、相位差。输入和输出的波形参数可通过液晶 12864 显示。实验结果表明,系统输出的波形相移精度高、稳定性好,具有良好的实用性。

**关键词:** FPGA;锁相;直接数字频率合成;信号发生器;DAC902

中图分类号: TM935

文献标识码: A

文章编号: 1674-7720(2012)18-0079-03

## Design of high-precision digital shifting phase signal generator based on FPGA

Huang Jun, Yu Shuibao, Huang Xiangping

(College of Mathematics, Physics and Information Engineering, Zhejiang Normal University, Jinhua 321004, China)

**Abstract:** The system as the core of FPGA, using phase-locked, DDS can produce two the same frequency but different phase shifting phase signal. At the same time with the use of the STC12LE5A60S2 MCU, the system can arbitrarily set the frequency and phase of the two signals. Waveform parameters of the input and output can be displayed through the LCD 12864. The experimental results show that it has high-precision phase-shift, excellent stability, which has good practicability.

**Key words:** FPGA; phase-locked; DDS; signal generator; DAC902

移相信号在电子、通信等科学研究领域有着广泛的应用,两个同频的移相信号又是电子行业继电保护领域中模拟、分析事故的一个重要手段,因此移相信号发生器是实验室和科研单位经常使用到的一个重要仪器设备。近年来,一种新的频率合成技术——直接数字频率合成(DDS)技术得到飞速发展。DDS技术是一种从相位概念出发直接合成所需波形的频率合成技术。它与传统的频率合成技术相比,具有频率分辨率高、频率转换速度快、输出波形灵活、相位变化连续等优点。随着微电子技术的发展,现场可编程门阵列(FPGA)器件也得到了飞速发展。由于该器件具有集成度高、可靠性强和现场可编程等特点,因此在数字信号处理中得到了广泛的应用,越来越受到硬件电路设计工程师的青睐。

本文介绍了一种基于FPGA的数字移相信号发生器的设计方案,频率范围1 Hz~10 MHz,相位差范围 $0^{\circ}$ ~ $359.5^{\circ}$ ,频率分辨率为1 Hz,相位分辨率为 $0.5^{\circ}$ ,可输出方波、三角波和正弦波。该系统具有输出波形灵活、稳

定性好等优点。

### 1 DDS 原理

DDS主要由相位累加器、波形查找表ROM、D/A转换器和低通滤波器等部件组成,其原理框图如图1所示。图中,相位累加器在系统时钟的控制下以步长 $K$ 作线性累加,其输出端可对波形查找表ROM寻址,波形查找表输出相应的波形数据,然后波形数据依次经过数模转换器和低通滤波器,最后输出平滑连续的波形。

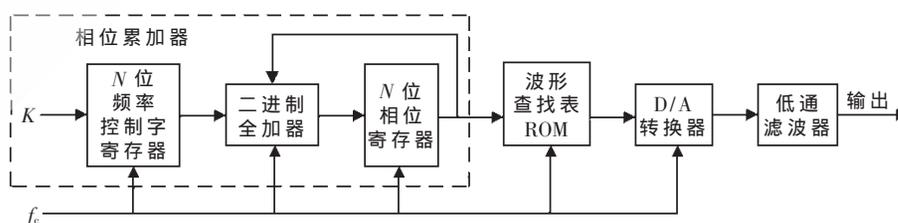


图1 DDS原理框图

设相位累加器的字长为 $N$ ,频率控制字为 $K$ ,系统的时钟频率为 $f_c$ ,则DDS系统输出波形的频率 $f_{out}$ 为:

$$f_{out} = \frac{f_c}{2^N} \times K$$

## 应用奇葩

Example of Application

频率分辨率  $V_f$  为:

$$V_f = \frac{f_c}{2^N}$$

当系统时钟频率  $f_c$  固定不变时,DDS 的频率分辨率  $V_f$  完全由相位累加器的字长  $N$  决定。本系统中,  $f_c=160$  MHz,  $N=32$ , 则频率分辨率  $V_f \approx 0.3725$  Hz, 因此 DDS 的频率分辨率极高。

从原理框图可以看出 DDS 是一个开环系统, 没有任何反馈环节, 这种结构大大缩短了 DDS 的频率转换时间。

## 2 系统总体设计

本系统主要包括人机交互模块、单片机模块、基于 FPGA 的 DDS 模块、高速 D/A 模块和低通滤波器模块, 系统整体框图如图 2 所示。其中人机交互模块包括液晶 12864 显示和键盘输入两部分, 分别用于显示波形参数和实现用户对波形的调节功能。单片机模块一方面用于控制液晶显示和键盘输入, 另一方面负责与 FPGA 进行通信。限于篇幅, 本文主要介绍基于 FPGA 的 DDS 模块和高速 D/A 转换模块。



图 2 系统整体框图

### 2.1 基于 FPGA 的 DDS 模块

基于 FPGA 的 DDS 模块是本系统设计的核心。首先值得说明的是, 实现两路移相信号的直接数字频率合成有两种方案可供选择。方案一: 使用同一相位累加器, 同一起始地址, 当移相角度发生变化时, 发送不同波形数据到两个存储器, 使输出信号产生相位差。方案二: 在存储器中存放相同的数据, 根据移相角度改变两个相位累加器扫描的起始地址。前者利用 FPGA 设计硬件电路简单, 但偏重于软件, 算法技巧性较强; 后者对相位累加器的设计要求较高, 考虑到 FPGA 内部的丰富资源, 本系统采用方案二<sup>[1-2]</sup>。

本系统采用 Cyclone II 系列的 FPGA 芯片 EP2C8Q208C8 为主控芯片, 其内部最高处理速度达几百兆, 内含两个

锁相环倍频器 (PLL) 和 4 MB 的 ROM, 内部资源相当丰富。利用 FPGA 芯片设计的顶层文件 Symbol File 图如图 3 所示。其中 pll 为锁相环倍频模块, tongxun 为 FPGA 与单片机通信接口模块, add 为相位累加器模块, lpm\_rom0、lpm\_rom1 为存储器 ROM 模块。

本系统输出信号的最高频率拟达到 10 MHz, 如果在一个周期内至少采样 16 个点, 则扫描时钟频率至少要达到 160 MHz。由于系统的有源晶振频率为 50 MHz, 因此本系统充分利用 FPGA 内部的锁相环, 输出 160 MHz 的高频信号作为系统时钟<sup>[3-4]</sup>。

#### 2.1.1 与单片机通信接口模块

为了将频率控制字与相位控制字输入给 FPGA, 本系统利用单片机对其进行送数。首先考虑到单片机与 FPGA 电平匹配的问题, 本系统选用 STC12LE5A60S2 单片机, 其工作电压范围为 2.2 V~3.6 V。

为了使 FPGA 与单片机正常通信, 本系统仿照 AD9851 的串口通信模式, 其时序如图 4 所示。在写时钟 W\_CLK 的控制下, 40 bit 控制字依次从低位到高位被读入, 最后 FQ\_UD 端产生一个上升沿, 表示将 40 bit 控制字加载到 AD9851 内部寄存器。



图 4 AD9851 串口通信时序

本系统设计了两组串口通信接口, 一组用于接收 30 bit 的频率控制字, 另一组用于接收 12 bit 的移相控制字。通过设计硬件描述语言, 创建 Symbol File。

#### 2.1.2 相位累加器模块

通过设计硬件描述语言, 创建相位累加器 Symbol File。该累加器的字长为 32, 当复位信号 reset 为 1 时, 在时钟 pllclk 控制下每来一个脉冲累加器以步长  $K(kong\_f)$  累加, 高 12 位 (31 downto 20) 累加结果输出作为 ROM 地址, 当  $K$  发生变化时输出频率也相应改变。累加器的初值

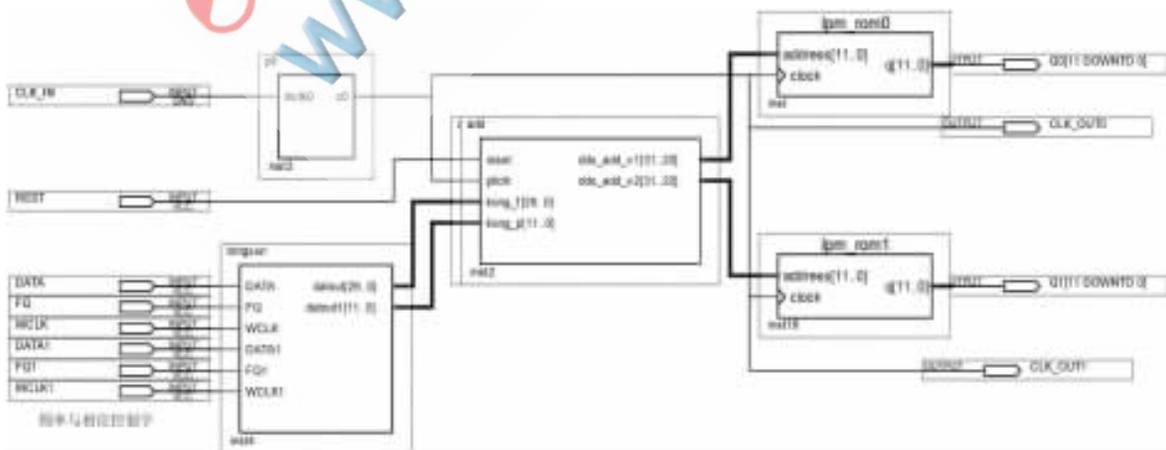


图 3 系统顶层文件

## 应用奇葩

Example of Application

为  $K1(kong\_p)$ , 当  $K1$  改变时累加器输出结果也相应改变, 从而使两个存储器的地址不同而形成相位差。

## 2.1.3 存储器 ROM 模块

本系统考虑到输出信号的平滑度和 FPGA 的资源, 设计 4 096 个点为一个周期, 因此设计了两个 12 bit(4 096 B) 的 ROM。本系统创建的存储器 ROM Symbol File, clock 为基准时钟, address[11..0] 为地址输入端, q[11..0] 为波形数据输出端。

## 2.2 高速 D/A 转换模块

由于本系统输出两路频率相同而相位不同的移相信号, 因此需设计两组高速 D/A 转换电路。该电路采用转换速率为 165 MS/s, 分辨率为 12 bit 的高速 D/A 转换芯片, 其具有转换速度快、控制方便、输出波形误差小等优点。考虑到 DAC902 为差分电流输出型, 差分电流最大值是 20 mA, 输出端接 100  $\Omega$  电阻, 所以通过电压反馈型高速运算放大器 OPA690 得到差分电压。

## 3 系统测试

系统上电后通过 Gwinstek GDS-2102 数字存储示波器测试并记录实验结果。

图 5 所示为信号源输出频率为 1 kHz, 两路信号相移分别为 45°、90°、180°、270°时, 使用示波器观察并用 U 盘拷贝的输出波形。

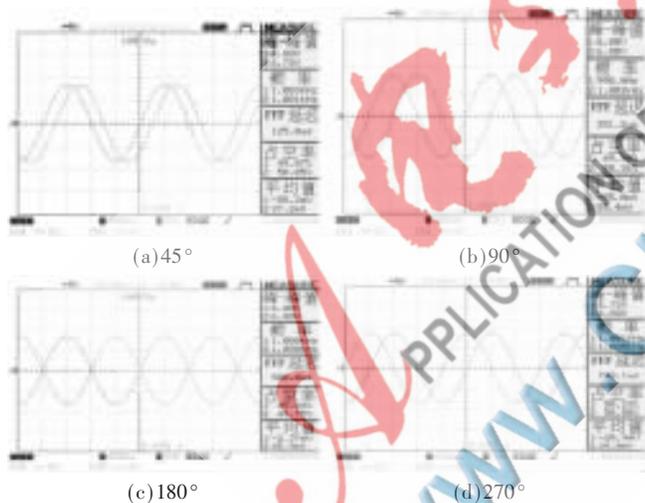


图 5 1 kHz 下 45°、90°、180°、270°的正弦波输出信号

图 6 所示为信号源输出相移 180°、频率为 1 MHz, 频率相移分别为 10 Hz、10 kHz、5 MHz、10 MHz 时, 使用示波器观察并用 U 盘拷贝的输出波形。

表 1 为同相移下根据不同频率值测得的实际频率值。

本系统通过选用 Cyclone II 系列的 FPGA 芯片 EP2C8Q208C8 和 STC12LE5A60S2 单片机实现了数字移相信号发生器的设计。可产生频率范围为 1 Hz~10 MHz, 且频率、相位均可调的方波、三角波和正弦波。由于本系统采用 DDS 算法, 因此能在频率、相位上实现高精度的控制。实验结果表明, 本系统具有频率分辨率高、频率转

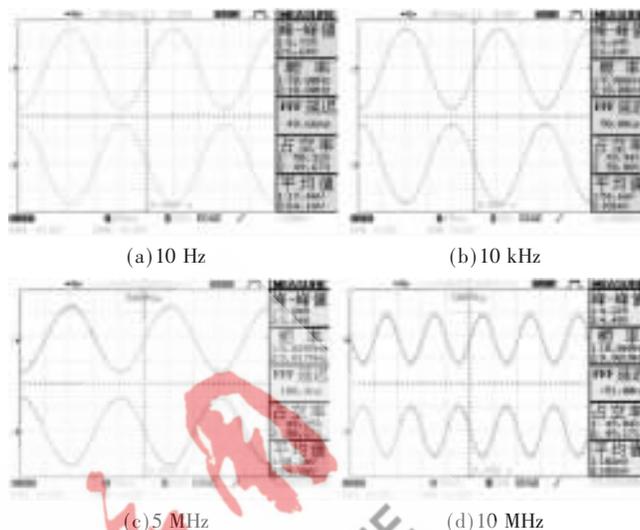


图 6 相移 180°, 频率相移分别为 10 Hz、10 kHz、5 MHz、10 MHz 时的输出信号

表 1 频率测试数据(相移 180°, 空载)

预置频率/Hz	实测频率/Hz	绝对误差/Hz	相对误差/%
1	1.000 2	0.000 2	0.02
100	100.011	0.011	0.011
1 000	1 000.03	0.03	0.003
5 000	5 000.05	0.05	0.001
10 k	10 000.2 k	0.2	0.002
50 k	50 002.5 k	2.5	0.005
100 k	100.002 k	2	0.002
1 M	1.000 14 M	0.14 k	0.014
5 M	5.000 72 M	0.72 k	0.014 4
10 M	10.001 0 M	1 k	0.01

注: 绝对误差=测量值-真实值;  
相对误差=绝对误差/真实值×100%。

换速度快、输出信号噪声低和系统稳定性好等优点。

## 参考文献

- [1] 李辉, 朱林生. 基于 FPGA 的三相函数信号发生器设计[J]. 电子科技, 2010, 23(7): 87-91.
- [2] 舒俊, 陈希, 余水宝. 零误差低频程控三相相移信号发生器[J]. 仪器仪表学报, 2009, 30(6): 796-797.
- [3] 周绍军. 基于 DDS 技术的高精度双路可移相波形信号发生器设计[J]. 西南民族大学学报, 2010, 36(5): 822-826.
- [4] 赵茂泰. 电子测量仪器设计[M]. 武汉: 华中科技大学出版社, 2010: 148-153.

(收稿日期: 2012-04-27)

## 作者简介:

黄俊, 男, 1987 年生, 硕士, 主要研究方向: 单片机应用与嵌入式系统研究。

余水宝, 男, 1954 年生, 教授, 硕士生导师, 主要研究方向: 单片机与嵌入式系统应用, 信号检测与处理。