

# 基于 NoC 的图像采集系统设计\*

许川佩, 占来龙, 任智新

(桂林电子科技大学 电子工程与自动化学院, 广西 桂林 541004)

**摘要:** 为了解决单核处理器系统的总线互连所带来的互连延迟、存储带宽和功耗极限等性能提升的瓶颈问题, 设计了基于 NoC 系统的实时图像采集和处理系统。该系统采用 FPGA 实现图像采集模块、存储、JPEG 编解码、资源节点、路由节点及 VGA 显示等功能。实验结果表明, 在 NoC 系统上使用多核技术代替传统的单处理器, 在提高系统并行性方面显示出了 NoC 的巨大优势。

**关键词:** 片上网络; 资源节点; 通信

中图分类号: TN409

文献标识码: A

文章编号: 1674-7720(2012)11-0034-04

## Design of image acquisition system based on the NoC system

Xu Chuanpei, Zhan Lailong, Ren Zhixin

(School of Electronic Engineering and Automation, Guilin University of Electronic, Guilin 541004, China)

**Abstract:** In order to solve a variety of issues including interconnect delay, memory band-width, power consumption limits and other performance bottlenecks which are caused by the single-core processor system bus. This paper presents a program that can achieve high-speed real time image acquisition and processing system based on the NoC system. It adopts field FPGA to realize the image data collection, storage, JPEG codec, resource node, routing node and VGA display. The results show that this program in terms of improving the system in parallel shows a great advantage of the NoC system which uses multi-core technology instead of the traditional single-core on the NoC system.

**Key words:** NoC; resource node; communication

NoC(Network on Chip)的核心思想<sup>[1]</sup>是将计算机网络技术移植到集成电路设计中, 从体系结构上彻底解决片上通信的瓶颈问题及时钟问题。它充分借鉴了分布式计算机系统的通信方式, 用路由和分组交换技术替代传统的总线通信方式。结构化的网络连线<sup>[1]</sup>可以更好地控制连线的电气参数, 提供更高的带宽, 支持多重的并行通信等。此外, NoC 还具备数据处理量大、多任务并行计算、架构易扩展及灵活性强等特点。

本设计是在 NoC 系统上实现实时图像采集、压缩、解压缩、存储和 VGA 显示等功能, 利用 FPGA 的内部资源设计灵活的逻辑控制, 完成高速大容量数据采集的存储和传输。本文提出的设计方案可以在选用成本低、操作简单的静态 RAM 的情况下, 实现实时大容量数据存储需求。在 EDA(Electronic Design Automation)软件中进行了仿真验证, 并在 DE2 开发板上实现高速实时图像

采集和处理。

### 1 系统总体方案设计

NoC 系统借鉴并移植计算机网络通信中的概念和方法<sup>[1]</sup>, 用于多个核或 IP(Intellectual Property core)的集成。图 1 是 NoC 的示意图。

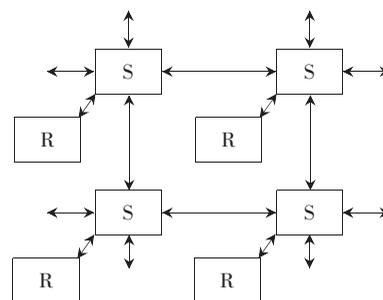


图 1 NoC 示意图

NoC 系统由交换节点(Switch)、资源节点(Resource)和资源网络接口(Resource-Network Interface)3个基本部

欢迎网上投稿 [www.pcachina.com](http://www.pcachina.com) 39

\* 基金项目: 国防预研基金资助项目(51323XXXXX)

分组成<sup>[1]</sup>。交换节点负责资源节点之间的信息交换,资源节点可以是处理器、存储器、可编程逻辑器件、输入输出设备等。交换节点通过互连线按照拓扑结构组成网络的物理架构,资源节点则通过 RNI 与交换节点相连。狭义的 NoC 指的就是仅由交换节点构成的网络。

本设计在 NoC 网络上实现实时图像采集系统,在 FPGA 上利用 2 个 NIOS II 核实现 NoC 系统上的 2 个资源节点,实现图像采集的基本功能。其中,1 个 NIOS II 实现采集压缩功能,1 个 NIOS II 核实现解压显示功能。系统由摄像头、NIOS II 1、资源节点 1、路由节点 1、路由节点 2、资源节点 2、NIOS II 2、SDRAM 乒乓存储器和 VGA 显示等模块组成。系统的工作流程如图 2 所示。



图 2 图像采集系统工作流程

图像采集系统工作流程是:先对 OV9650 的寄存器进行配置,然后从摄像头模块中接收 YUV422 格式的数据,由 NIOS II 1 对接收的数据进行 JPEG 压缩,压缩的数据发送到资源节点 1,再发送到路由节点 1 上,由路由器把数据发送到目的路由节点 2 上,再经资源节点 2 发送到 NIOS II 2 中,由 NIOS II 2 进行 JPEG 解压缩,进行 VGA 显示,VGA 显示的缓存采用 SDRAM 乒乓缓存。

## 2 图像采集系统的模块设计

### 2.1 摄像头控制模块

摄像头控制模块的功能是采集图像数据。OV9650 摄像头包括 CMOS 摄像头和图像处理芯片 OV9650。用 Verilog HDL 硬件描述语言编写 SCCB 总线控制器,OV9650 是通过 SCCB 总线 (SCCB 总线的示意图如图 3 所示,SCL 是时钟信号线,SDA 是数据线)对其寄存器进行配置的。时钟频率设置为 24 MHz,按照其时序完成对 OV9650 摄像头的初始化配置工作。配置 OV9650 摄像头的工作模式为 VGA 640×480 视频格式,以 YUV4:2:2 数据流输出,视频速率为 15 f/s。采集到的 YUV4:2:2 格式的数据送到 JPEG 编码器中进行编码,把编码的数据进行打包,发送到缓冲器中,等待路由节点的信号,通过路由器发送到目的资源节点。



图 3 SCCB 的示意图

### 2.2 NIOS II 1 模块

NIOS II 1 模块由 SoPC 构建硬件框架<sup>[2]</sup>,再在 NIOS II IDE 中进行软件程序编写。NIOS II 1 的功能是接收摄像头的的数据,对图像数据进行 JPEG 压缩。

JPEG 编码算法可以用失真的压缩方式来处理图像,但失真的程度却是肉眼所无法辩认的,这也就是为什么 JPEG 会有如此满意的压缩比例的原因。它的压缩

一般过程是:首先使用正向离散余弦变换 FDCT (Forward Discrete Cosine Transform) 把空间域表示的图像变换成频率域表示的图像,然后使用加权函数 (此加权函数对于人的视觉系统是最佳的)对 DCT 系数进行量化,最后对量化系数进行编码。JPEG 编码器流程图如图 4 所示。



图 4 JPEG 编码器流程

### 2.3 通信节点发送模块

通信节点发送模块有两个作用,一是把 4 个 8 bit 数组成 32 bit 数输出,二是对要发送的数据进行组包。组包协议是:第一包仅包含要发送的包数、发送包的类型、数据发送的资源节点的地址和要接收数据的资源节点的地址、校验位;后面的包包包含此包的包号、包的长度、要发送的数据、校验位。资源节点 1 的模块图如图 5 所示。

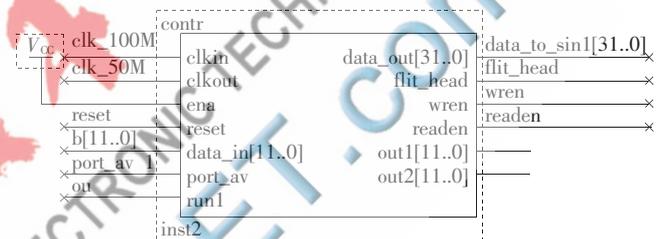


图 5 资源节点 1 模块图

clk\_100M 是输入时钟,clk\_50M 是输出时钟,reset 是复位信号线,b[11..0]是应用系统发送的数据信号,port\_av1 是路由节点的请求信号线,ou 是应用的请求信号线,data\_to\_sin1[31..0]是输出信号线,flit\_head 是头 flit 信号线,wren 写信号线,readen 是读信号线。该模块的功能是衔接应用系统与路由节点,使得它们之间可以进行通信。

### 2.4 路由节点

路由单元包括交换开关以及东、南、西、北、本地 5 个方向的端口链路控制模块。交换开关负责路由单元内部各端口链路之间的数据交换。本地方向模块与本地的资源节点相连,负责转发本地资源节点发出以及接收的数据,另外 4 个方向模块与其他路由节点连接。由于 2D-Mesh 拓扑结构具有对称特性,因此路由单元东、南、西和北这 4 个方向的端口具有相同的电路结构。每个方向端口由输入虚通道选择模块、输入虚通道缓存模块、路由控制模块、请求仲裁模块和输出模块几部分组成。

### 2.5 通信节点接收模块

通信节点接收模块是通信节点发送模块的逆过程,其有两个作用,一是把一个 32 bit 数分解成 8 bit 数输出,二是对要接收的数据进行解包,解包协议是组包协议的逆过程。资源节点 2 实现如下:

```
Module receive(
```

《微型机与应用》2012 年第 31 卷第 11 期

```

clk_in, //数据输入时钟
clkout, //数据输出时钟
reset, //复位信号
data_in, //数据输入
data_out, //数据输出
wren, //写使能信号
readen, //读使能信号
in_int, //路由节点给的信号线
reci_flit_head, //头 flit 信号
dataout_flag //数据输出标志位
)

```

## 2.6 NIOS II 2 模块

NIOS II 2 模块由 SoPC 构建硬件框架, 再在 NIOS II IDE 中进行软件程序编写。用 Verilog HDL 语言编写 VGA 控制器和 SDRAM 控制器, 再编写一个接入到 Avalon 总线的接口文件, 把 VGA 控制器和 SDRAM 外挂到 NIOS II 2 上。该模块的功能是接收资源节点的数据, 再送入 JPEG 解码器解码, 解码后的数据送入 SDRAM 乒乓存储器, 最后在 VGA 上显示。

### 2.6.1 JPEG 解码器的设计

JPEG 解压缩是 JPEG 压缩的逆过程, 解码流程的主要功能模块包括: 头文件解析、熵解码(包括直流系数解码、交流系数解码和差分解码)、反量化与反 Z 变换(扫描)、IDCT 变换和颜色空间转换。在 JPEG 解码模块启动后, 头码流解析单元首先读入 JPEG 文件的包头, 根据 JPEG 文件数据的存储方式依次检测数据流中包含的各种段的标识符, 将要解码的文件信息从数据流中解析出来并存储到相应的存储单元, 为后面压缩数据的解码作准备。数据流后经熵解码单元(包括 Huffman 解码、变长解码和行程解码)进行解码, 解码后的数据进入反量化与反 Z 变换模块, 对量化过的像素进行反 Z 变换, 得到 8×8 的数据块。图像数据是编码时通过正向离散余弦变换得到的结果, 解码时必须将其反向余弦变换, 将数值向时域转换。JPEG 解码器流程图如图 6 所示。



图 6 JPEG 解码器流程图

### 2.6.2 VGA 控制模块的设计

VGA 显示由 FPGA 根据 VGA 显示时序, 输出相应像素的 RGB 格式的数据、行同步信号和帧同步信号, 然后经过 D/A 芯片转换后显示。实际系统采用的显示分辨率为 800×600, 帧频率为 75 Hz。VGA 控制模块设计如下:

```

module VGA_SINK(
clk, //时钟信号
reset_n, //复位信号

```

```

ready_out,
valid_in,
data_in,
sop_in,
eop_in,
empty_in,
vga_clk,
vga_hs,
vga_vs,
vga_de,
vga_r,
vga_g,
vga_b)

```

其中, ready\_out、valid\_in、data\_in、sop\_in、eop\_in 和 empty\_in 是与 Avalon 总线连接的信号; vga\_clk、vga\_hs、vga\_vs、vga\_de、vga\_r、vga\_g 和 vga\_b 信号是与 VGA 模块连接的信号。VGA 模块的工作过程是: 数据从 SDRAM 中读入, 送到 VGA 显示, 判断是否已经读取了一行的数据, 即 640 个 RGB 信号; 如果读取了一行数据, 则复位行信号 H; 判断是否已经读取一帧图像, 如果读取了一帧, 则复位场信号 V, 至此 VGA 已经完整显示了一帧图像。

### 2.6.3 SDRAM 乒乓存储器

SDRAM 乒乓存储器的作用是为 VGA 显示作缓存, 一片 SDRAM 的数据输出给 VGA 时, 另一片 SDRAM 就接收数据, 2 片 SDRAM 交叉进行, 保证了 VGA 实时显示。

## 3 实验结果

### 3.1 系统资源测试

NoC 应用系统的功能子模块设计完成之后, 将各个功能子模块组合、联调, 由 Quartus II 11.0 自带的综合工具生成网表及 .pof, 通过 as 接口方式烧写到 epc4 中, 系统综合后的资源消耗图如图 7 所示。

File Name	Resource Utilization
1. Quartus II Version	11.0 Build 157 04/07/2011 01:04:11
2. Partition Name	two_sinks
3. Top-level Entity Name	two_sinks
4. Family	Cyclone IV E
5. Device	EP4K10K100-3
6. Timing Method	Pin
7. Total logic elements	32,778 / 318,400 (10%)
8. Total combinational flops	32,000 / 118,400 (27%)
9. Dedicated logic elements	31,440 / 318,400 (9.9%)
10. Total registers	1998
11. Total pins	280 / 320 (87%)
12. Total virtual pins	0
13. Total memory bits	1,048,752 / 8,388,352 (12%)
14. Total files	1 / 4 (25%)

图 7 综合后的资源消耗图

结果表明, 该系统能正确可靠地工作。在这个系统中, 专用逻辑寄存器占 1%, 总的逻辑单元占 2%, 总的内存位占 5%, 因此还有大量的资源可以用于硬件算法或者其他方面的应用。

### 3.2 系统指标测试

在整个 NoC 应用系统的实现中, 由于采用 FPGA 作为主控制器, 基本上是由硬件完成了整个系统, 将图像

传感器的帧频设置为 15 f/s (最高为 30 f/s), JPEG 压缩比例为 3.4%, SDRAM 乒乓缓存为 VGA 实时显示提供了条件。通过仿真调试, 可以实现通过人机交互界面控制图像采集、传输和 VGA 显示等功能, 并且各部分能同时工作, 这也是 NoC 的优势所在。图 8 是采集的一帧图像。

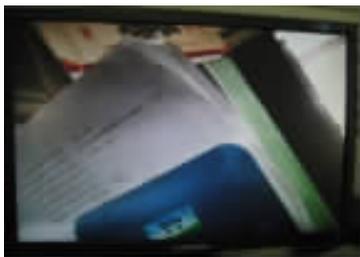


图 8 一帧图像显示

本文设计的系统的各个模块都在 Modelsim 中进行了仿真, 并在 DE2-115 开发板上调试成功, 实现了图像采集、JPEG 编码解码、传输和 VGA 显示等功能。在 NoC 系统上实现数据采集系统, 采用双核进行处理, 通过路由进行数据传输, 克服了总线互连、存储带宽及功耗极限等性能提升的瓶颈问题。

#### 参考文献

- [1] 阿克塞尔·詹奇, 汉努·腾胡宁. 网络化芯片[M]. 王忠, 孙继银, 周国昌, 等, 译. 西安: 西安交通大学出版社, 2007.
- [2] 孙春风, 袁峰, 丁振良. 基于 FPGA 的多通道高速 CMOS 图像采集系统[J]. 计算机工程与应用, 2008(21): 46-48.
- [3] Altera. Altera Cyclone IV Device Hand-book [Z]. <http://www.altera.com>, 2010.
- [4] 杜慧敏, 李宥谋, 赵全良. 基于 Verilog 的 FPGA 设计基础[M]. 西安: 西安电子科技大学出版社, 2006.
- [5] 杜林奇, 许开宇, 张欣璐. 基于 FPGA 和视频解码芯片的实时图像采集系统设计[J]. 电子元件应用, 2008(05): 56-60.

(收稿日期: 2012-03-13)

#### 作者简介:

许川佩, 女, 1968 年生, 博士, 教授, 研究生导师, 主要研究方向: 集成电路测试及嵌入式系统。

占来龙, 男, 1984 年生, 硕士, 主要研究方向: 集成电路设计。