

基于 CPLD+LVPECL 可调窄脉冲发生器的设计与实现*

彭亚红, 蒋留兵

(桂林电子科技大学 通信与信息学院, 广西 桂林 541004)

摘要: 采用 CPLD 和具有速度极快的 LVPECL 门电路来实现脉宽可调的窄脉冲信号。利用 CPLD 提供的 10 MHz 激励信号和对延时芯片进行写延时控制字来产生所需脉宽。测试结果表明, 该可调窄脉冲发生器能产生 500 ps~20 ns 范围内的脉宽可调、幅度约为 400 mV 的脉冲信号。

关键词: 超宽带; 窄脉冲发生器; LVPECL 门电路; 脉宽可调

中图分类号: TN958.4

文献标识码: A

文章编号: 1674-7720(2012)11-0018-04

Design and implementation of adjustable narrow pulse generator based on CPLD and LVPECL

Peng Yahong, Jiang Liubing

(School of Information and Communication Engineering, Guilin University of Electronic Technology, Guilin 541004, China)

Abstract: This article uses the CPLD and LVPECL with fast gate to achieve a width-adjustable narrow pulse. Using CPLD to provide the incentive 10 MHz signal and write the delay control word of the delay chip to produce the desired pulse width. Test results show that this adjustable narrow pulse generator can generate a 400 mV pulse signal with the adjustable range of 500 ps-20 ns pulse width.

Key words: ultra-wideband; narrow pulse generator; LVPECL gate; pulse width adjustable

超宽带无线通信技术是目前无线通信领域先进的通信技术之一, 它利用极宽频带的超窄脉冲进行无线通信, 在无载波脉冲体制雷达中被广泛应用, 多年来一直被限定为军用技术。近年来, 随着电子技术的飞速发展, 在无线通信用户急增, 频谱资源越来越稀缺, 通信容量越来越大以及传输速率越来越高的形势下, 人们对超宽带技术的认识也更加清楚, 它逐步转入民用阶段, 用于实现高性能、低成本的无线通信系统。在 20 世纪 60 年代, 时域电磁学研究广泛展开, 人们对微波网络由时域脉冲响应所反映的瞬时特性的研究过程中逐渐发现了超宽带技术。1962 年, 惠普公司开发出取样示波器, 纳秒级脉冲的产生方法才得以发展, 当时普遍采用雪崩晶体管或隧道二极管产生脉宽为纳秒级的脉冲信号, 提供可供分析用的冲激激励信号, 这使得人们能够正确地观察和测量微波网络的冲激响应。能产生几百毫伏窄脉冲的高速器件有隧道二极管和 ECL 集成电路, 能产生几十伏到几百伏的高速器件有雪崩晶体三极管、阶越恢复二极管和俘获二极管。但是这些方法设计

的窄脉冲发生器脉宽固定, 不能调节脉宽, 给应用带来不便。为满足不同应用场合对脉宽的需要, 本文设计了基于 CPLD 和 LVPECL 的可调窄脉冲发生器, 给实际应用带来了灵活性而且节约了成本。

1 窄脉冲的技术要求及产生方案

由于超宽带技术广泛应用于雷达系统, 因此其应用环境就决定了窄脉冲的技术要求。脉冲源性能指标的衡量主要是幅度和脉宽这两个指标, 一般要求幅度要大, 这样探测距离才远; 脉宽要窄, 这样分辨率才高。因此, 窄脉冲产生电路的性能与所使用器件的速度有很大关系。

目前, 产生超宽带窄脉冲的方法主要有模拟和数字两种方法。模拟的方法主要是采用高速的阶跃二极管、隧道二极管、雪崩三极管或者微带线合成的方法产生纳秒级、皮秒级的窄脉冲。但由于受管子杂散的影响而导致脉冲不够理想, 加上微带电路不好调试的原因, 数字方法应运而生。在数字集成电路中, ECL 门电路是速度最快的一种, 其优点是开关速度高、负载能力强、内部噪声低, 缺点是噪声容限小、功耗大、需负电源以及输出电

* 基金项目: 国家自然科学基金(60572054)

平受温度影响大。由 ECL 发展而来的 LVPECL 门电路克服了 ECL 的缺点,采用低电压正电源、差分输入输出传输的特点,使其在产生窄脉冲电路方面具有很大优势。同时考虑到适应不同应用场合对脉冲发生器脉宽的要求,脉宽可调是本设计的一大亮点。因此,本文采用 CPLD 和 LVPECL 门电路器件来设计可调窄脉冲发生器。

本方案包括 LVPECL 窄脉冲产生电路和 CPLD 控制电路两部分,利用 CPLD 提供 10 MHz 的激励信号和对延时芯片进行写延时控制字来产生所需脉宽的窄脉冲信号。系统结构框图如图 1 所示。

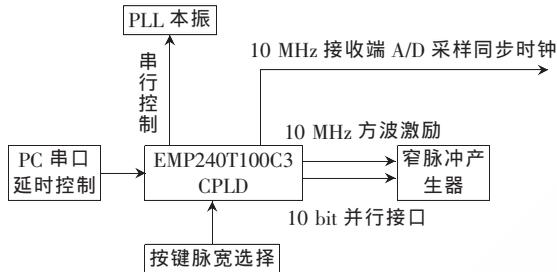


图 1 系统结构框图

2 CPLD+LVPECL 可调窄脉冲的原理及硬件电路设计

2.1 LVPECL 窄脉冲产生电路原理

窄脉冲产生器主要采用 LVPECL 延时芯片和与门芯片实现,产生原理框图如图 2 所示。首先把时钟信号分成两路,其中一路不经延时器直接到达高速比较器,另一路经过延时器和反相器再进入高速比较器,经过高速比较器后的两路时钟信号进入 LVPECL 与门,输出的窄脉冲波形如图 3 所示。



图 2 窄脉冲产生原理框图

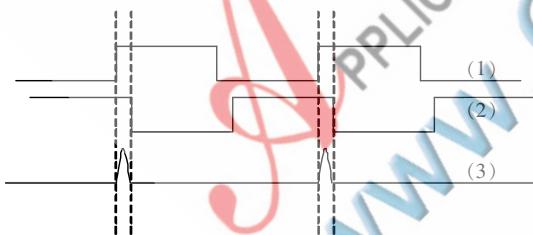


图 3 窄脉冲波形图

2.2 LVPECL 窄脉冲硬件电路设计

经分析比较, LVPECL 窄脉冲硬件电路选择的器件如下: 时钟分配器起到电平转换和时钟分配的作用,采用 Maxim 公司的 MAX9323; 可编程延时器采用 ON Semiconductor 公司的 MC100EP195; 高速比较器选择 ADI 公司的 ADCMP567; 与门选择 ON Semiconductor 公司的 MC100EP05 作为亚纳秒脉冲产生器。LVPECL 窄脉冲硬件电路通过两路实现: 一路采用两片 MC100EP195 级联产生固定延时; 另一路采用两片 MC100EP195 级联产生 20 ns 范围内的可编程延时,即可产生 20 ns 内脉宽可调

的窄脉冲信号。

(1) 时钟分配及电平转换电路

时钟分配及电平转换电路如图 4 所示。由于 CPLD 控制电路产生的 10 MHz 方波时钟信号是 LVCMOS 电平,本脉冲电路采用 LVPECL 电平,因此需先将 LVCMOS 电平转换为 LVPECL 电平,又由于本电路有两路信号,因此需进行时钟分配得到两路时钟。Maxim 公司的 MAX9323 的主要功能和特性为低偏移、低抖动,2 个 LVCMOS 输入时钟信号中的 1 个被分配到 4 个差分 LVPECL 输出。1 个单逻辑控制信号 CLK_SEL 选择 2 个输入中的 1 个。器件工作在 3.0 V~3.6 V 范围内,如果采用 3.3 V 供电,则最多仅消耗 25 mA 的供电电流。此电路中,CLK_SEL 被设置为接地,选择 CLK0 时钟信号输入,CLK_EN 被设置高电平使能 4 路差分 LVPECL 输出,本电路中只用到 2 路。根据 LVPECL 电平驱动要求,其输出端应通过 50 Ω 上拉电阻拉到 $V_{CC}-2$ V,即拉到 1.3 V。此外,为确保电源稳定,采用多个电容旁路对电源去耦。

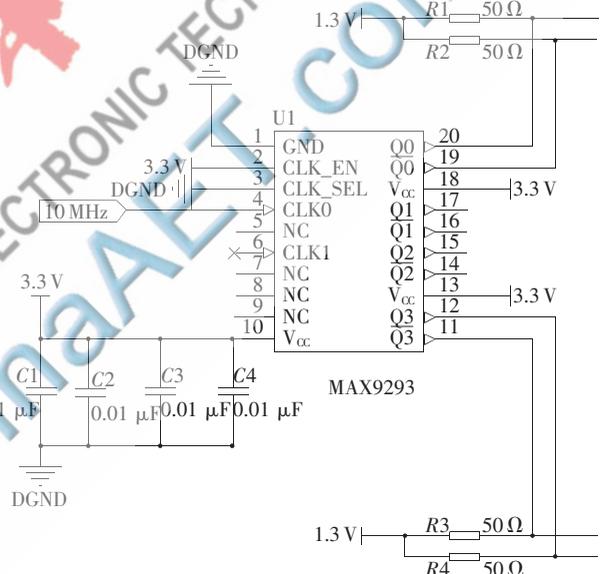


图 4 时钟分配及电平转换电路图

(2) 可编程延时电路

可编程延时器是窄脉冲产生电路最为关键的芯片, ON Semiconductor 公司的 MC100EP195 10 bit 可编程延时线,最小延时步进为 10 ps,可产生 10 ns 范围内的可编程延时。它采用差分 LVPECL 输入输出,并且 LEN 具有锁存 D [9:0]10 bit 编程数据的功能,同时 D[10]、SETMIN、SETMAX、CASCADE、 $\overline{\text{CASCADE}}$ 可构成级联系统来扩展延时范围。本电路中用到两路信号,第 1 路两片级联,第 1 片的 SETMIN、SETMAX 分别与第 2 片的 $\overline{\text{CASCADE}}$ 、CASCADE 相连,如图 5(a) 所示。D[10] 是级联信号 CASCADE 的控制引脚,当 D [10] 为低电平时, CASCADE 产生低电平, $\overline{\text{CASCADE}}$ 产生高电平,使得片 1 的 SETMIN 高电平将产生最小延时,片 2 的延时由 D[9:0] 确定;当 D[10] 为高电平时, CASCADE 产生高电平,

《微型机与应用》2012 年第 31 卷第 11 期

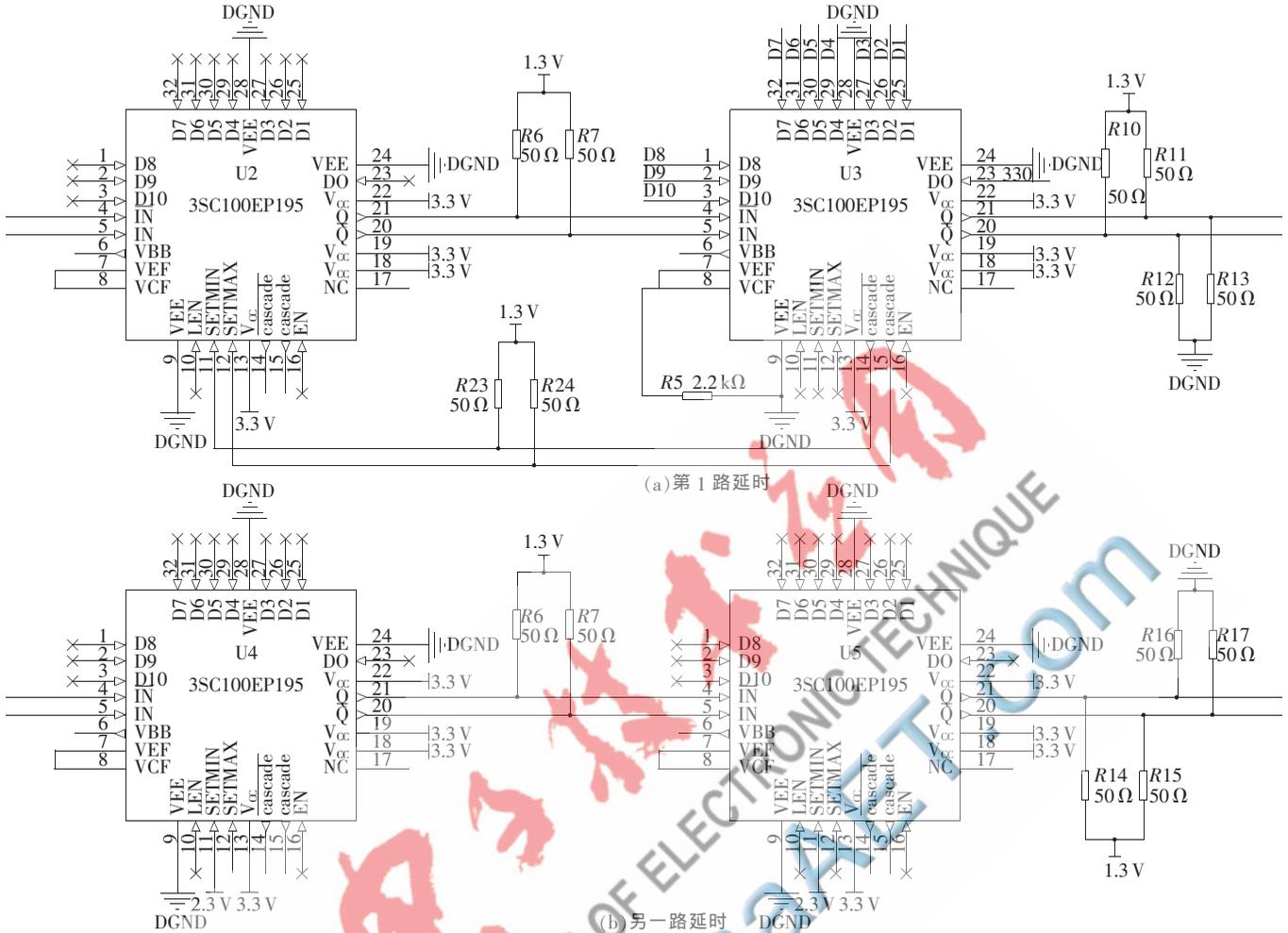


图5 两路延时电路图

CASCADE 产生低电平，使得片 1 的 SETMAX 高电平将产生最大延时，片 2 的延时由 D[9:0] 确定，这样可以可将编程延时范围扩展到 20 ns。但由于芯片本身有 2.2 ns 的固有传输时延，两片级联即有 4.4 ns 的固有传输时延。本脉冲发生器是将两路时钟信号进行比较，为了抵消第一路延时芯片的固有传输时延，另一路采用同样型号的两片芯片直接相连，并且将两片延时芯片 SETMIN 都设置为高电平产生最小延时，如图 5(b) 所示，这样就能够抵消芯片产生固有传输时延，使得两路时钟信号的延时差只受延时数据控制，能够得到极窄脉冲。根据 LVPECL 电平驱动要求，其输出端应通过 50 Ω 上拉电阻拉到 $V_{CC}-2V$ ，即拉到 1.3 V。

(3) 高速比较及与门电路

高速比较及与门电路主要由

高速比较器、LVPECL 与门和 RC 微分电路 3 部分部分组成，如图 6 所示。由于时钟信号经过一段传输距离后，信

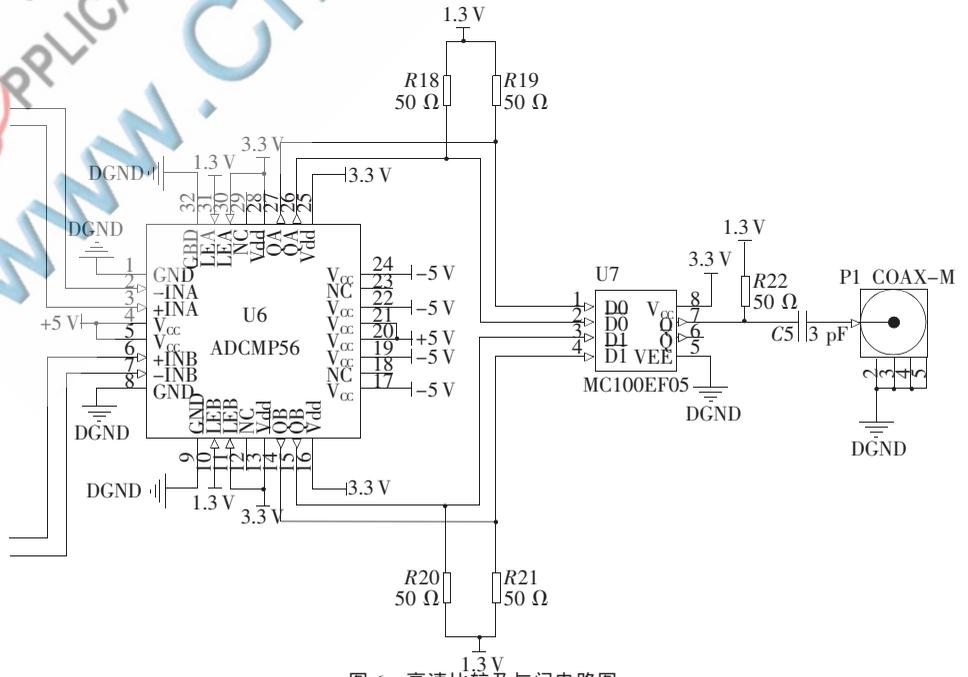


图6 高速比较及与门电路图

号的边沿会产生恶化和畸变,为了保证时钟信号边沿的陡峭,高速比较器 ADCMP567 对经过延时后的两路时钟信号进行整形,使得与门的输出不会有干扰脉冲的出现。ADCMP567 是双通道高速比较器,具有比较模式和锁存模式两种工作模式。本电路中的两个通道都使用比较模式,使得输出信号能实时反映输入信号比较的结果,这通过将 LEA 和 LEB 接高电平 $V_{CC}(3.3\text{ V})$,将 $\overline{\text{LEA}}$ 和 $\overline{\text{LEB}}$ 接 $V_{CC}-2.0\text{ V}(1.3\text{ V})$ 实现。将输出的两路 LVPECL 信号送入与门芯片进行“与”运算即可得到窄脉冲,不同的延时差能产生不同脉宽的窄脉冲。最后,通过 RC 微分电路就可以得到一阶高斯窄脉冲。不同脉宽的脉冲信号经过微分后得到的一阶高斯窄脉冲的正脉冲部分和负脉冲部分在拐点处延时不同,会导致波形的不连续性和失真,这与 RC 微分电路充放电时间常数 t 有关, t 应该满足和脉冲宽度 t_w 相当,这样就能保证波形的连续性,减小失真。因此可以采用可调电容,以满足不同脉宽的需要,得到波形良好的一阶高斯脉冲。

2.3 CPLD 控制电路

CPLD 控制电路要提供多种功能:为本振 PLL 模块提供 SPI 串行接口;为窄脉冲发生器提供 10 bit 并行接口;产生两路 10 MHz 的方波信号,一路为窄脉冲发生器提供激励信号,另一路为接收端的 A/D 采样提供同步时钟;提供按键控制电路以及与 PC 串口进行串行通信。CPLD 芯片采用 Altera 公司 MAX-II 系列的 EPM240T100C3,该芯片支持 ISP 编程和 JTAG 调试,外围电路简单可靠。通过对外部 50 MHz 有源晶振产生的时钟进行 5 分频,得到 10 MHz 的方波信号用于激励窄脉冲。同时,扫描键盘判断是否有外部按键输入,如果有,则根据不同的按键选择不同的延时控制字,将其通过 10 bit 并行接口送入可编程延时芯片 MC100EP195 以产生不同的延时信号,这样便能产生不同脉宽的窄脉冲信号。图 7 为 CPLD 控制总体框图。

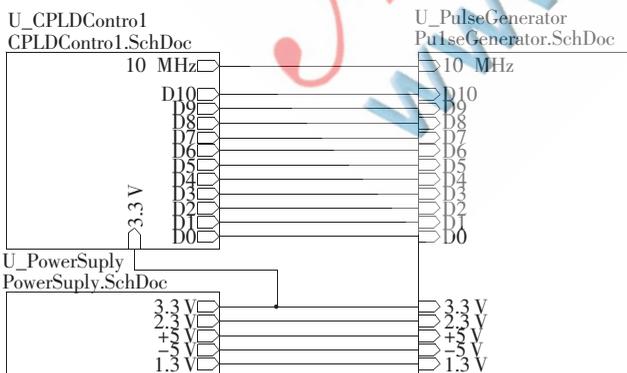


图 7 CPLD 控制框图

3 CPLD+LVPECL 可调窄脉冲的测试

根据以上方案和电路,制作了图 8 所示的可调窄脉冲发生器。使用 Agilent 公司 16903A 逻辑分析仪测试

LVPECL 与门电路后的不同延时的脉冲信号如图 9 所示。



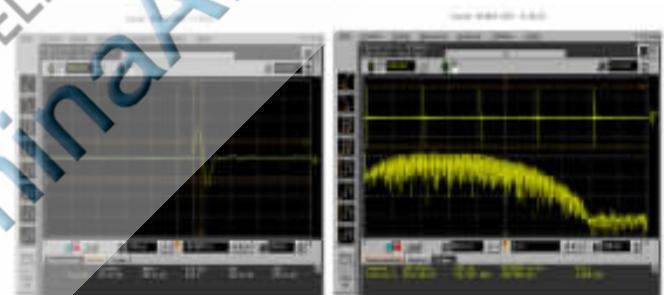
图 8 实物图



(a) 2 ns 脉宽脉冲信号 (b) 1 ns 脉宽脉冲信号

图 9 不同延时的脉冲信号比较

使用 Agilent 公司 Infiniium 600 MHz 示波器测得的时域波形和频谱如图 10 所示。



(a) 600 ps 脉宽脉冲信号 (b) 600 ps 脉宽脉冲信号频谱

图 10 时域波形和频谱图

从图 10(a) 中可以看出,此脉冲波形的峰峰值幅度约为 390 mV,脉冲宽度约为 635 ps;从图 10(b) 的频谱图可知,信号 10 dB 带宽约为 1.3 GHz,中心频率为 800 MHz 左右,频谱能量最高点对应的功率为 -43 dBm。为了达到所需功率,可以接功率放大器进行放大满足发射功率的需要。

针对用模拟的方法或数字固定延时的方法产生超宽带窄脉冲脉宽不可调的缺点,本方案采用 CPLD 对可编程延时芯片写延时控制字来产生不同脉宽的窄脉冲信号。本系统可实现 500 ps~20 ns 范围内脉宽可调、幅度约为 400 mV 的脉冲信号。基于 CPLD+LVPECL 门电路的可调窄脉冲产生器为独立系统,能够满足不同应用场合的需求。

参考文献

- [1] AIELLO G R, ROGERSON G D. Ultra-wideband wireless systems[J]. IEEE Microwave Magazine, 2003,4(2):36-47.
- [2] BATTEN T W. History of ultra wideband communications and radar, Part I[J]. Microwave Journal, 2001, 44(2):20-43.
- [3] ROTHWELL E, NYQUIST D, Chen Kunmu, et al. Radar target discrimination using the extinction-pulse technique[J]. IEEE Transactions on Antennas Propagat, 1985,33 (4): 929-936.
- [4] RAMIREZ-MIRELES F, SCHOLTZ R. System performance analysis of impulse radio modulation [C]. 1998 IEEE Radio and Wireless Conference, RAWCON, 1998:67-70.
- [5] IMMOREEV I J, VOVCHIN B M, ZAIKIN A N, et al. Videopulse radar for subsurface penetration: signal processing experiment [C] 6th International Conference on Ground Penetrating Radar(GRP'96), 1996.
- [6] 张海平, 熊祥正. 一种超宽带脉冲发生器的设计与仿真[J]. 信息与电子工程, 2006(6): 427-430.
- [7] 何小艇. 高速脉冲技术[M]. 杭州: 浙江大学出版社, 1990.

(收稿日期: 2011-12-05)

作者简介:

彭亚红, 男, 1985年生, 硕士研究生, 主要研究方向: 超宽带雷达信号处理, 嵌入式系统。

蒋留兵, 男, 1973年生, 硕士, 副教授, 高级工程师, 主要研究方向: 自适应信号处理, 雷达信号处理。

电子技术应用
APPLICATION OF ELECTRONIC TECHNIQUE
www.ChinaAET.com