

OFDM 同步算法的 FPGA 实现*

曹宏徙, 宋学瑞, 杨滔

(中南大学 信息科学与工程学院, 湖南 长沙 410075)

摘要: 针对 IEEE802.11a 帧结构提出了具体的同步算法, 包括帧同步、载波同步和符号同步, 并阐述了各个模块的 FPGA 实现方法。仿真实验结果表明, 该方法不仅具有更好的同步性能, 而且复杂度低、易于实现。

关键词: 正交频分复用; 同步; 频率偏移; FPGA

中图分类号: TN92

文献标识码: A

文章编号: 1674-7720(2012)07-0026-03

FPGA implementation of OFDM synchronization algorithm

Cao Hongxi, Song Xuerui, Yang Tao

(School of Information Science and Engineering, Central South University, Changsha 410075, China)

Abstract: According to frame structure based on IEEE802.11a, the paper introduces the specific synchronization algorithm, including frame synchronization, frequency synchronization and symbol timing synchronization. It also introduces the FPGA implementation of the specific modules of the algorithm. The simulation results show that it has a better synchronization performance, low-complexity and easy to implement.

Key words: OFDM; synchronization; frequency offset; FPGA

正交频分复用技术 OFDM (Orthogonal Frequency Division Multiplexing) 是一种特殊的多载波传输方式, 具有抗多径能力强、频谱利用率高、适合高速数据传输等优点, 因此已被广泛地应用于最新的无线通信系统中^[1]。IEEE802.11a 的无线局域网标准中也将 OFDM 调制技术确定为其物理层标准。然而, OFDM 对同步错误非常敏感, 尤其对载波频率偏移和相位噪声非常敏感, 因此需要在时间和频率上进行同步, 以使系统克服多普勒效应, 从而获得良好的性能^[2]。

本文的同步算法是基于 IEEE802.11a 的长训练序列和短训练序列, 并通过 FPGA 来实现的。短训练序列的主要作用是进行信号检测、符号定时和粗频率偏差估计, 它由 10 个重复的短训练符号组成; 长训练序列主要是通过滑动相关来获得精确的频率偏差估计和信道估计, 由两个重复的长训练符号组成^[3]。

1 OFDM 系统模型^[4]

OFDM 系统框图如图 1 所示。

一个 OFDM 系统的基带信号可以表示为:

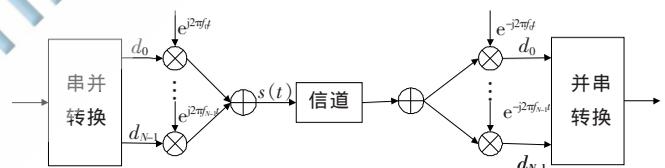


图 1 OFDM 系统框图

$$x(n) = \sum_{k=0}^{N-1} S(k) \exp(j2\pi kn/N) \quad (1)$$

其中, $S(k)$ 表示在第 k 个载波上调制的数据, N 表示 IFFT 的点数。接收端的接收信号可以表示为:

$$r(n) = y(n - \theta) \exp(j2\pi \varepsilon n/N) + w(n) \quad (2)$$

其中, θ 为整数时间偏移量, ε 为子载波间隔归一化的频率偏移量, $w(n)$ 表示高斯白噪声, 功率为 σ_n^2 。

$$y(n) = \sum_{m=0}^{L-1} h(m) x(n-m) \quad (3)$$

其中, $h(m)$ 表示信道冲激响应。

2 时间和频率算法原理

在参考文献^[3]中, 定时估计函数 $M(d)$ 定义为:

$$M(d) = \frac{|P(d)|^2}{R^2(d)} \quad (4)$$

* 基金项目: 国家自然科学基金资助项目 (60173041)

其中,

$$P(d) = \sum_{m=0}^{l-1} r_{d+m}^* r_{d+m+1} \quad (5)$$

$$R(d) = \sum_{m=0}^{l-1} |r_{d+m}|^2 \quad (6)$$

由于该方法存在很大的平台区域, 本文在 SC 算法的基础上进行符号同步以获得更好的定时同步。将接收的数据与本地短训练符号的共轭复数相乘并累加, 可以得到相关系数为:

$$C_k = \sum_{m=0}^{D^s-1} r_{k-m} \times S_m^* \quad (7)$$

对于 IEEE802.11a 系统, $D^s=16$, 它为短训练符号的周期长度。当 $|C_k|$ 的峰值到来时, 表示此时为一个短训练符号的结束。当 $|C_k|$ 出现最后一个峰值时, 表示短训练符号的结束或者长训练符号的开始。

粗频偏估计为:

$$\hat{\varepsilon} = \frac{1}{2\pi D^s T} \arctan \left(\sum_{n=0}^{D^s-1} y_n y_{n-D^s}^* \right) \quad (8)$$

为了提高载波同步的准确性, 可以采取多次估计求平均:

$$\hat{\varepsilon} = \frac{1}{2\pi D^s T} \frac{\sum_{i=0}^N \arctan \left(\sum_{n=0}^{D^s-1} y_{[(i-1) \times D+n]} y_{[(i-1) \times D+n-D^s]}^* \right)}{N} \quad (9)$$

得到粗频偏以后, 对接收数据进行频偏补偿, 即用接收到的数据乘以 $e^{-j2\pi \hat{\varepsilon} n T}$ 。

同样, 利用长训练序列可以估算出细频偏:

$$\hat{\theta} = \frac{1}{2\pi D^L T} \arctan \left(\sum_{n=0}^{D^L-1} y_n y_{n-D^L}^* \right) \quad (10)$$

其中, $D^L=64$, 为长训练符号的长度。

3 硬件实现

3.1 帧同步实现

帧同步的 RTL 如图 2 所示。帧同步模块主要由数据缓存、主控制、延迟相关能量计算、相关窗口能量计算和帧搜索 5 部分组成。

数据缓存模块主要是通过移位寄存器实现, 可调用 Xilinx 公司的 RAM-based Shift Register IP Core。延时相关能量计算模块负责计算, 硬件实现上经过延迟相关计算、相关累加计算和幅值简化计算。相关窗口能量计算模块负责计算, 硬件实现上与延时相关模块类似。帧搜索模块主要完成数据分组起始位置的近似估计。

3.2 载波同步实现

(1) 粗频偏估计以及补偿

在计算式(9)时, 取 $N=4$, 即首先利用 5 个重复短训练符号进行延时相关计算, 然后进行累加求和, 接着将此结果送入角度估计模块得到 4 组角度偏差估计, 最后求取 4 次角度偏差的平均值, 从而得到较准确的角度偏差值。

载波频率同步模块的 RTL 如图 3 所示。整个模块分为数据分流、数据缓存、载波粗频偏估计、载波粗频偏补偿和数据联合输出。

相角估计采用 CORDIC IP 核, 将其配置成 arctan 模式, 即输入复数信号, 输出其相位值。频偏补偿因子可由配置成 sin&cos 模式的 CORDIC IP 核完成。

(2) 细频偏估计以及补偿

此模块与粗频偏估计以及补偿模块类似。

3.3 符号同步的实现

符号同步的 RTL 如图 4 所示。符号同步可以分为量化、匹配滤波和符号输出 3 部分。

量化是为了简化硬件实现, 由于负数乘法需要占用

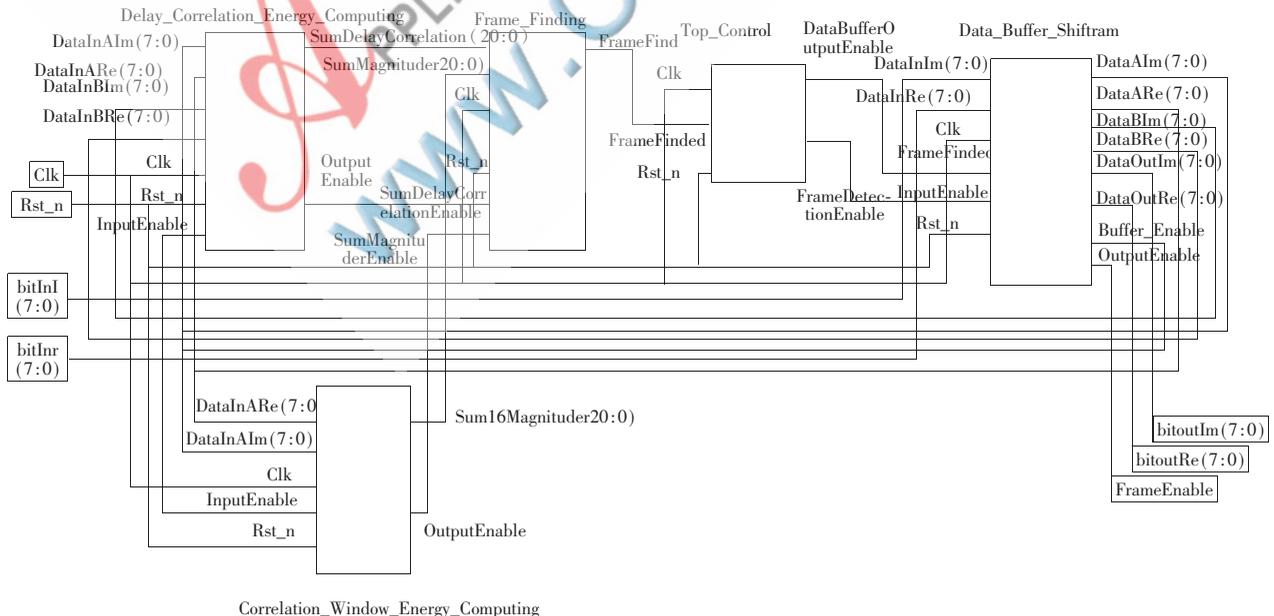


图 2 帧同步硬件实现框图

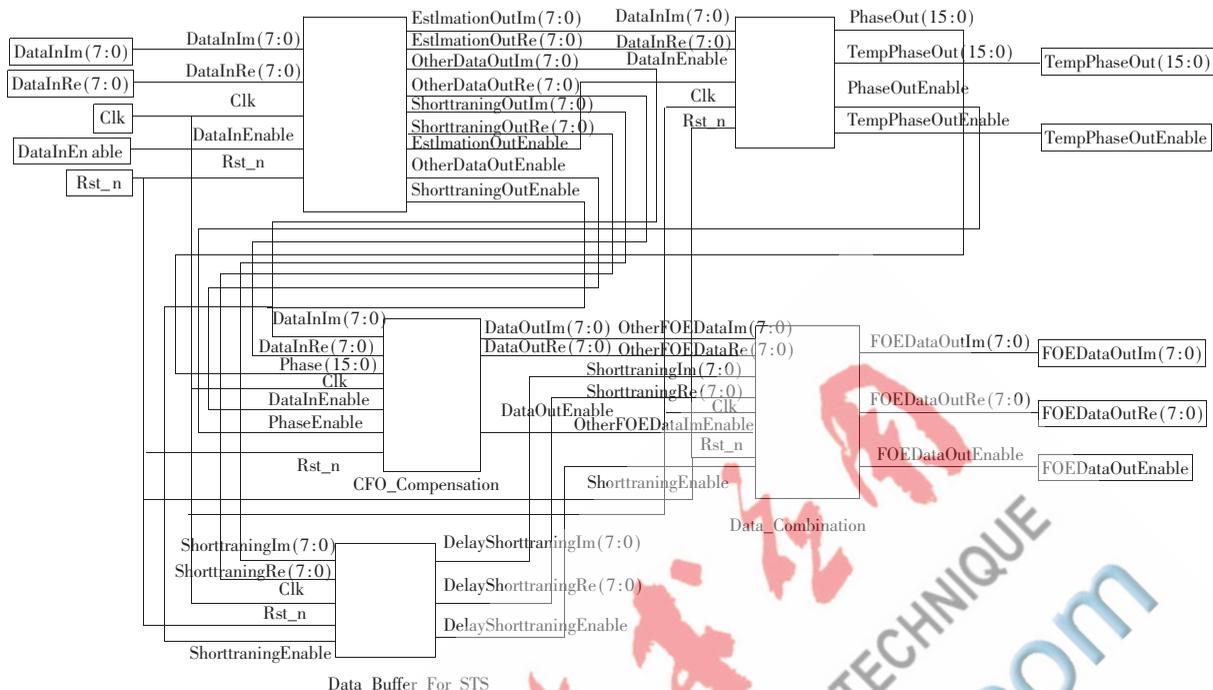


图3 载波同步硬件实现框图

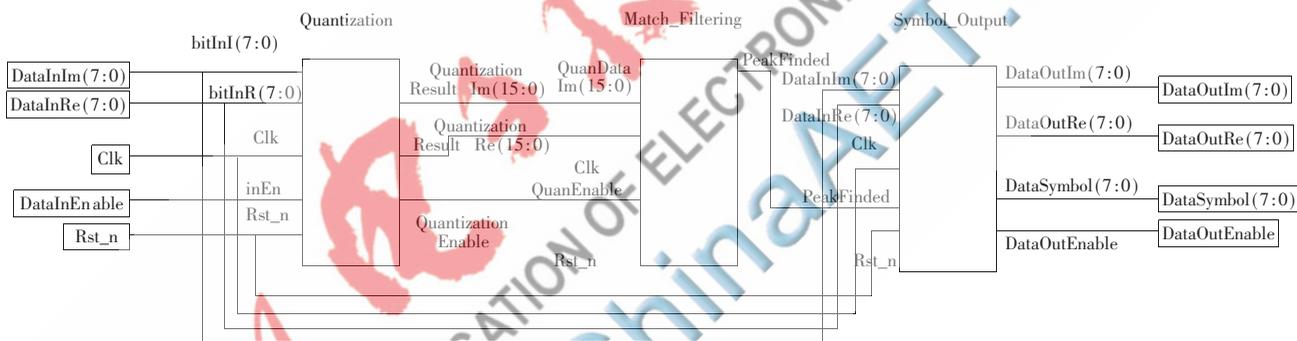


图4 符号同步硬件实现框图

很多的器件资源,因此将接收到的信号量化为{1,-1},即大于0的量化为1,小于0的量化为-1。匹配滤波模块主要负责寻找各个短训练符号的结束点。

4 仿真实验与性能分析

本文对各模块的设计均采用 Verilog HDL 语言,并在 Xilinx 公司的集成设计环境 ISE 中完成各模块的 RTL 设计,选择 Virtex5 系列的 XC5VFX70T FPGA 作为

目标器件。用 ModelSim SE 6.0d 完成功能仿真以及后续的时序仿真,然后采用 ISE 中的 XST 完成综合过程。同步仿真结果如图 5 所示。第 1、第 2 行分别为时钟信号和复位信号,第 3、4 行为信号的输入,第 5 行为分组检测同步,第 6 行为短训练序列的粗频偏估计值,第 7 行为当 peak_counter=9 时判断为段训练符号的结束点,第 8 行为高电平时表示输出一个符号的有效时间,第 9

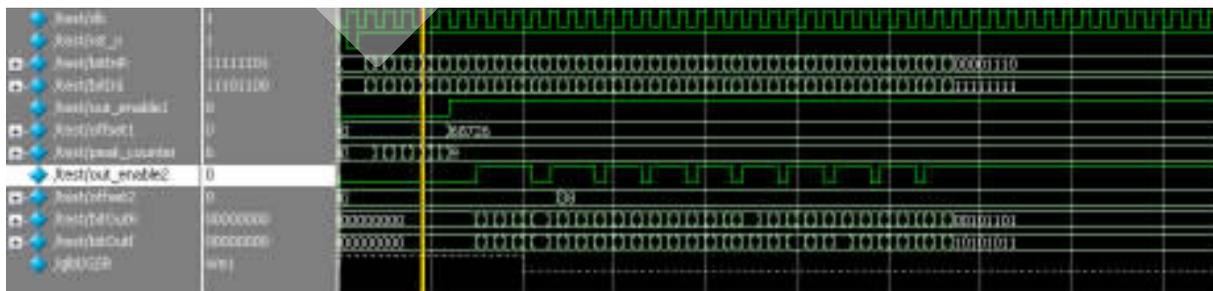


图5 同步仿真结果图

行为长训练序列的细频偏估计值,最后两行表示数据的输出。设计中采样频率为 80 MHz,相位累加位宽为 24 bit,则估计的载波频偏为:

$$\Delta f = \frac{68\,726+38}{2^{24}} \times 80 \text{ MHz} = 327.89 \text{ kHz}$$

与输入的 325 kHz 基本相符,剩余频偏产生的相位偏移可在频域中用导频来纠正。

本文提出了一种比较完整的针对 IEEE802.11a 的同步算法,并详细阐述了各模块的具体 FPGA 实现方法,不仅提高了同步的精度,而且在实现时考虑到了资源的节省并对算法进行了一些简化,满足了突发 OFDM 系统中基带处理的要求。

参考文献

- [1] Xie Yongjun, Hu Xiaoyi, Xiao Jing, et al. Implementation of timing synchronization for OFDM underwater communication system on FPGA[C]. ICASID,2009,568-570.
- [2] GARCIA J, CUMPLIDO R. On the design of an FPGA

based OFDM modulator for IEEE 802.11a [C]. ICEEE and CIE, 2005:114-117.

- [3] 陈霞,章坚武.基于 IEEE802.11a OFDM 同步算法的 FPGA 实现[J].无线电工程,2007,37(7):55-57.
- [4] 汪裕民.OFDM 关键技术与应用[M].北京:机械工业出版社,2006.
- [5] SCHMIDL T M, COX D C. Robust frequency and timing synchronization for OFDM [J]. IEEE Transactions on Communications,1997,45(12):1613-1621.

(收稿日期:2011-11-08)

作者简介:

曹宏徙,女,1987年生,硕士研究生,主要研究方向:无线通信。

宋学瑞,男,1957年生,硕士,教授,主要研究方向:FPGA 设计。

杨滔,男,1987年生,硕士研究生,主要研究方向:数字通信与 FPGA。