

基于 FPGA 的高性能视频信号采集系统设计与实现

徐国强, 张 萌

(江苏自动化研究所, 江苏 连云港 222006)

摘要: 介绍了一种基于 FPGA 的高性能视频信号采集与显示系统的硬件设计与实现, 模数转换系统采用高性能的 A/D 采集电路, 通过高速的 FPGA 控制, 将采集到的数据进行处理后, 通过系统中的 PCI 接口传输给监控系统以供显示、监控等功能的实现。本模块已经投入运行, 性能稳定。

关键词: 视频; FPGA; 高速 A/D; PCI

中图分类号: TP335

文献标识码: B

文章编号: 1674-7720(2012)06-0072-04

Design and implementation of high performance video processing system based on FPGA

Xu Guoqiang, Zhang Meng

(Jiangsu Automation Research Institute, Lianyungang 222006, China)

Abstract: This article presents a new method of design and implementation of high performance video processing and display system based on FPGA. A high performance ADC processing system is adopted, controlled by high speed FPGA. The processed data is transmitted to monitor system by PCI interface for the purpose of display and monitor. This module has been deployed in service with stable performance.

Key words: video; FPGA; high speed A/D; PCI

近年来, 伴随着计算机技术、图像处理技术、网络技术和多媒体技术的发展普及, 兴起了数字化视频处理的浪潮。随着数字图像处理技术和数字电路技术的发展, 利用高性能处理器实现数字视频信号采集与显示系统已成为现实^[1]。数字视频信号采集与处理系统符合信息产业的未来发展趋势, 蕴含着巨大的商机和经济效益。

由于 FPGA 本身功能强大, 使模块具备良好的可扩展性, 可以在不修改硬件设计的情况下通过修改 FPGA 逻辑, 提供更加丰富的功能^[2]。

本文采用 Xilinx 公司的 FPGA 与一些外围器件实现一种数字视频信号采集模块。介绍了 FPGA 逻辑的实现、驱动程序开发的过程以及模块的调试记录与经验。

1 设计原理

系统主要由 ADC 模块、时钟电路模块、存储模块、接口模块以及可编程逻辑控制模块组成, 系统总体框图如图 1 所示。

系统由 PMC 连接器供电, 完成 64 bit、66 MHz 或者 32 bit、33 MHz PCI 数据通信; 系统由两路 A/D 采集器、时钟电路、SDRAM 存储器、Flash 存储器和 PMC 接口电路

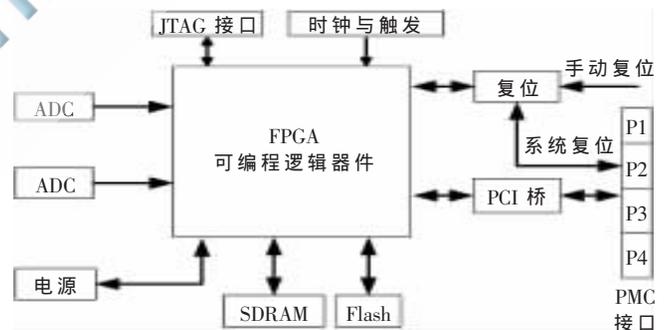


图 1 硬件结构框图

实现。FPGA 是整个模块的核心, 所有信号围绕 FPGA 输入输出。来自系统的复位信号和手动复位一起作为 FPGA 的复位源。电源经过转换模块转换以后, 提供给 FPGA 使用。FPGA 时钟信号本板产生。模块上设置了 JTAG 接口和 E²PROM 接口。PCI 接口采用 PMC 规范接口。

2 实现方法

2.1 器件选型

设计通信接口模块时, 为了提高设计的集成度以及灵活性, 采用 FPGA 来实现。FPGA 实现功能包括: PMC 接

技术与方法 Technique and Method

口、中断以及控制寄存器、2路模数转换接口、外部存储器接口。因此要选用资源丰富、速度较快、RAM容量较大的FPGA。Xilinx公司Virtex-4系列完全可以胜任上述工作,在Virtex-4器件中,含有特定的硬件知识产权(IP),支持多种主要协议,包括PCI,其内嵌的RAM可以作为FIFO或者双口RAM使用,此外还具备丰富的资源。综合考虑,FPGA采用Xilinx公司的XC4VSX35。

2.2 PCI接口电路

本系统中采用PCI9656作为PCI接口芯片,此芯片为PLX公司生产的比较新的产品。PCI9656支持64bit、66MHz的PCI总线和32bit、66MHz的Local总线接口,兼容PCI R2.2规范,支持PICMG 2.1 R2.0热交换功能,支持三种局部总线类型:M模式、C模式和J模式,支持异步的PCI和Local总线时钟,支持三种数据传输方式:Direct Master、Direct Slave和DMA,寄存器向下兼容PCI9054、PCI9056、PCI9060和PCI9080等。

2.3 模数转换器电路设计

A/D的选择既要考虑A/D自身的性能又要满足系统所要求的动态范围和性能指标。评价A/D转换器的性能指标主要有:A/D转换位数、无寄生动态范围(SFDR)、信噪比(SNR)、转换速率、量化灵敏度等。一般来说,A/D的转换位数越高越好,转换位数越多其动态范围就越高。

AD6645芯片是美国ADI公司生产的高速、高性能单片模数转换器,是一种性能优良、具有14bit分辨率、105MS/s抽样率的模数转换器,是继AD9042、AD6640、AD6644之后的第四代宽带ADC产品^[3]。其原理框图如图2所示,主要特点有:

- (1)中频采样率可达105MS/s;
- (2)多音无杂散动态范围(SFDR)为100dB;
- (3)采样抖动0.1ps;
- (4)芯片功耗1.5W;
- (5)差分模拟输入。

2.4 复位电路

模块复位电路原理如图3所示。

模块电路中有两种复位情况:手动复位和

系统复位。系统复位信号与手动复位输入相遇,作为复位器件的输入,其输出作为FPGA复位输入信号,保证在主机侧出现冷复位和要求本板单独复位的情况下,所

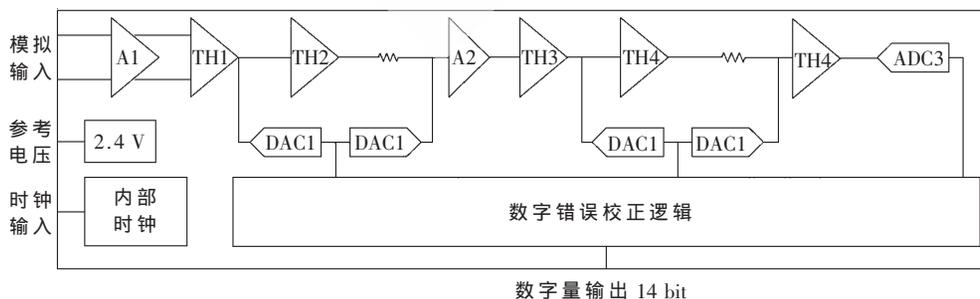


图2 AD6645原理框图

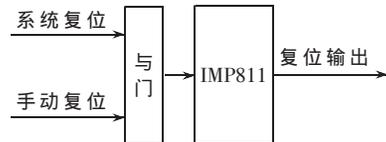


图3 复位信号连接图

有的器件都处于复位状态。

2.5 时钟电路

FPGA有2路输入时钟,分别是66MHz和100MHz由外部晶振提供的PCI总线时钟和FPGA系统内部工作频率。

2.6 电源电路

由于模块中存在对噪声敏感的ADC采样电路等模拟电路,故数字电路部分可以采用DC-DC电路来完成供电,选取Linear公司的LTC3545作为1.2V、1.5V、1.8V电压转换芯片,其具有95%以上的转换效率、2.5%以下的纹波电压等特点^[4];而模拟电路部分的ADC电路需要特别对噪声等干扰做滤波化处理,故选取德州仪器(TI)的UCC284作为-5V的电压转换芯片^[5],将PMC接口的-12V电压作为UCC284的输入,UCC284具有非常好的性能,线性调整为5mV,负载调整率在0.1%。

3 FPGA设计

Xilinx公司的XC4VSX35可编程控制器逻辑代码是整个系统的核心,系统逻辑结构如图4所示。

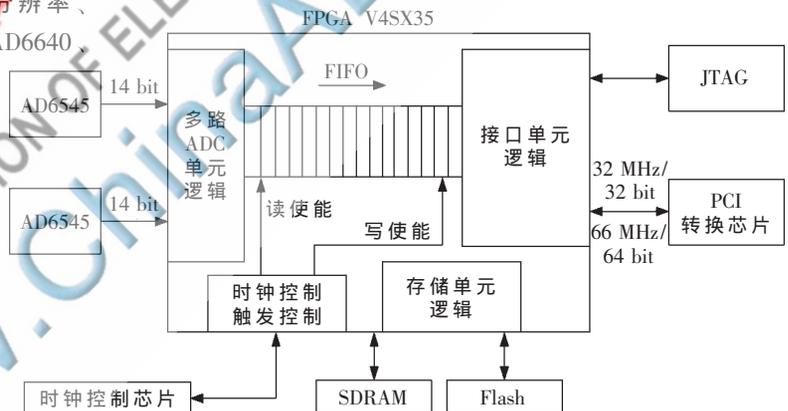


图4 FPGA逻辑资源分配

FPGA代码设计主要分为时钟模块、模数转换通道1、模数转换通道2和PCI接口四个模块。

在顶层模块,主要进行各模块的端口映射以及相关信号的赋值和取值工作。时钟模块将几路时钟的输出校正到预定的频率上,模数转换时钟100MHz,FPGA工作时钟100MHz等。模数转换通道1、模数转换通道2在电源和时钟正常的情况下不断向FPGA提供采样数据,同时

技术与方法 Technique and Method

FPGA 对两路 ADC 及其相关的 FIFO 进行设置,包括 FIFO 的深度以及读写的阈值都对 DMA 传输具有重要的作用。PCI 接口模块主要由 FPGA 与 PCI9656 的接口代码组成,包括总线的数据命令操作,PCI9656 接受上位机 PC 驱动对它的设置后工作于 J 模式(LAD 地址数据复合使用),通过上位机对 PCI9656 寄存器的设置,可使其工作于 DMA 模式,相关的寄存器在下节介绍。根据 Local Bus 的时序描述,FPGA 作为 Local Bus 的从设备一直工作在命令等待状态,并对接收到的命令数据进行解析后做出相关的动作。

系统 FPGA 逻辑代码的整体结构如图 5 所示,A/D 系统在上电后首先校正时钟,保证 PCI9656 和 ADC 采样能够正常运行,然后通过 PCI9656 的局部总线查询其内部寄存器,确定系统采用的触发方式是采用内部硬件触发还是外部软件触发,若采用内部硬件中断,则将内部硬件 100 MHz 时钟进行 8 分频,即生成 12.5 MHz 时钟以供 ADC 后端的锁存器时钟输入端使用;与此同时本板上的 ADC 采样工作在一直进行着,同时刷新 FPGA 内部生成的 FIFO,鉴于 ADC 采样的 14 bit 数据和 Local 总线的 32 bit 宽度,生成 32 768×32 bit(Local 端)和 65 536×16 bit(ADC 锁存器端)即 128 KB 大小的 FIFO 缓冲区,逻辑上将 14 bit 采样数据扩充为 16 bit 数据以便数据处理和传输,通过空和满的信号量控制 PCI 总线上的 DMA 工作。另外系统中的 PCI9656 逻辑控制单元负责完成 Local 总线端的读写,包括寄存器的读写和 DMA 操作的执行。

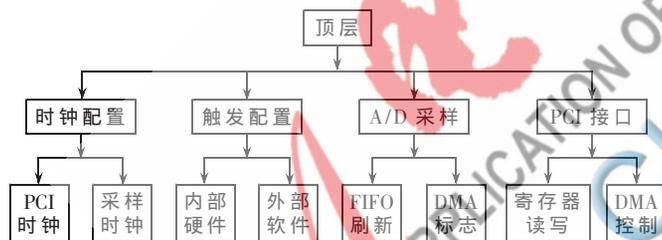


图 5 FPGA 逻辑代码结构

4 采样数据分析与验证

系统工作过程中产生一个数据文件用于保存视频采集的数据,将数据通过 Matlab 工具绘出采样到的数据波形,如图 6 所示。从图中可以看到,系统采样的 16 bit 数据,采样值在 -32 768~32 767 之间,横坐标表示采样的点数共 5×10^5 ,而硬件时钟为 100 MHz,AD6645 采样电路输出的数据通过锁存器送给 FPGA 处理,锁存器的使能信号为 8 分频的时钟信号,可以得出 12.5 MHz 的采样频率,一次采样 2 B 数据,波形中一个点表示 1 B 的数据,故可知 5×10^5 点表示采样时间为 40 ms,正好是两行 PAL 信号的时间,符合 PAL 的标准^[6],验证信号采集结果正确。

将图 6 中两行波形放大,可以看到此图中显示的是一行信号完整波形的部分图形,需要 5 个前均衡脉冲、5 个同步高脉冲、5 个后均衡脉冲和 17 个色同步消隐脉

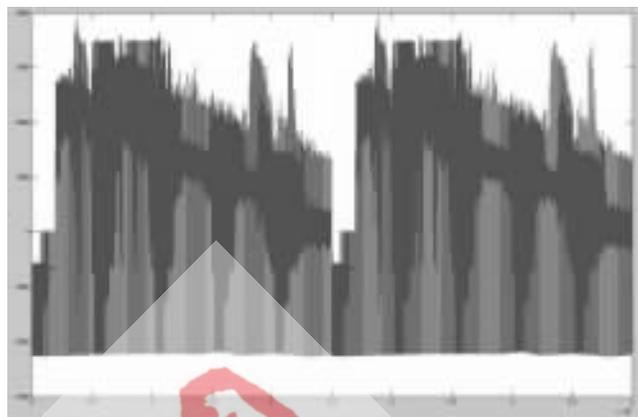


图 6 PAL 视频采样数据波形

冲,然后是 285.5 行,同时在试验中发现,若一次 DMA 数据包长太小,将导致采集的数据不完整,无法正常显示;若一次 DMA 数据包长太大,每次传输之间的间隔时间比一次 DMA 传输数据的显示时间长得多,图像显示会有间隔,导致无法正常显示。因此,系统设计中每次 DMA 数据包长要视 DMA 的传输时间和显示时间而定。

5 软件设计

上位机先初始化 PCI9656 芯片,查询状态寄存器(StatusReg)中时钟是否稳定,即时钟稳定状态位是否为 1,当 AD 时钟稳定后,查询 FIFO 是否采集满,如果状态寄存器中通道 1 状态位为 1,则表示通道 1 的 FIFO 数据已满,然后初始化一个 Descriptor 用于进行 DMA 传输,然后发起 Scatter/Gather 模式 DMA^[7]。系统软件运行流程如图 7 所示。

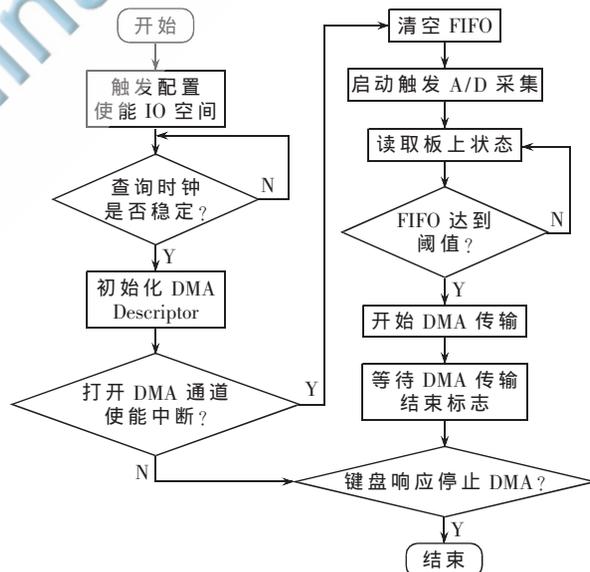


图 7 系统软件流程图

以读取通道 1 数据为例,具体的初始化流程如下:

- (1)对 PCI9656 使能 IO 空间读写;
- (2)读取时钟稳定状态位,如果 ADC 时钟工作稳定,继续进行下一步的工作;
- (3)初始化一个 Descriptor 的结构体设置,用于进行

技术与方法 Technique and Method

DMA 传输;

(4)打开 DMA 通道,设置 DMA 传输结束中断使能 DMA Scatter/Gather 模式;

(5)清空模数转换通道 1 的 FIFO;

(6)触发 AD 通道 1 数据采集启动;

(7)读取状态寄存器以确定板上状态;

(8)如果 FIFO 已满,则设置 DMA 相关寄存器,开始 DMA 传输;

(9)等待中断,查询 DMA 结束标志位有效,确定一次 DMA 传输完成;

(10)重新初始化 Descriptor,以进行下一个 DMA 操作,重复步骤(4)以后的过程。

6 模块的调试及性能

模块设计完成后,在基于 PMC 接口的 CompactPCI 总线架构的工控机箱内对其进行测试。利用外部设备和通讯接口模块进行通讯,然后实测视频数据波形,如图 8 所示。

分析结果显示模块工作正常,与采样的数据波形一致,达到了设计要求。

本设计充分体现高性能视频信号采集与显示系统的工作特点,整个设计结构紧凑,性能稳定,抗干扰能力强,并且适用于各种工业控制场合。本设计已经在工业控制环境下多次应用,在不同主机环境下运行测试程序,经长时间考核,A/D 采样数据传输速率稳定,模块运行稳定可靠。

参考文献

- [1] 钱敏,李富华,黄秋萍,等.基于 HDL 的 PAL 制数字视频图像采集控制器设计[J].微电子学与计算机,2007,24(12):191-194.

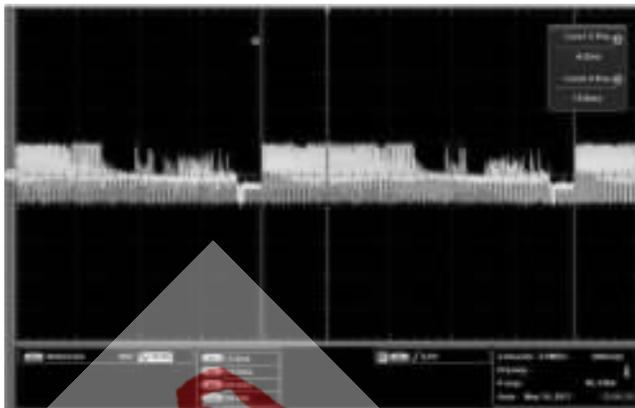


图 8 PAL 视频实测数据波形

- [2] 孟宪元,钱伟康.FPGA 嵌入式系统设计[M].北京:电子工业出版社,2007.
- [3] Analog devices.AD6645 datasheet[EB/OL].[2003-02-20].//http://www.Analog-devices.com.
- [4] Linear technology.LTC3545 datasheet[EB/OL].[2008-01-30].www.Linear-technology.com.
- [5] Texas Instruments.UCC284 datasheet[EB/OL].[2000-01-30].//http://www.Texas-Instruments.com.
- [6] 赵坚勇.电视原理与接收技术[M].北京:国防工业出版社,2007.
- [7] PLX Tech.PCI9656 datasheet[EB/OL].[2009-01-28].//http://www.PLX-Technology.com.

(收稿日期:2011-10-20)

作者简介:

徐国强,男,1984年生,工程师,主要研究方向:计算机硬件研发,高速模拟数字转换电路设计与调试。