

混合型判决反馈均衡器设计与 FPGA 实现

杨滔, 宋学瑞, 曹宏徙

(中南大学 信息科学与工程学院, 湖南 长沙 410004)

摘要: 针对 1000BASE-T 中的均衡解码结构, 从信噪比与误码率、速度及硬件复杂度等方面比较了该判决反馈均衡解码器的几种形式, 并设计了一种满足速度与误码率要求而硬件复杂度更低的混合型结构, 该结构将部分残留后馈干扰级数移除, 同时应用流水线及重定时技术优化其性能。

关键词: 判决反馈均衡; 1000BASE-T; 混合结构; 网格译码

中图分类号: TN913.8

文献标识码: A

文章编号: 1674-7720(2012)05-0054-03

Design and FPGA implementation of decision feedback equalizer of hybrid architecture

Yang Tao, Song Xuerui, Cao Hongxi

(School of Information Science and Engineering, Central South University, Changsha 410004, China)

Abstract: This paper compares several architectures according to SNR and bit error ratio, speed and hardware cost. A hybrid architecture is proposed which meets the speed and bit error requirements and has lower hardware cost. It removes the less significant ISI by a pre-equalizer, and applies pipelining and retiming technologies to improve its performance.

Key words: decision feedback equalizer; 1000BASE-T; hybrid architecture; trellis decoding

1 判决反馈均衡解码器的结构

许多数字通信系统中都使用了网格编码和脉冲幅度调制, 1000BASE-T 中使用 4 维 8 状态网格编码及 5 电平调制, 每对双绞线上有 5 种符号 $\{-2, -1, 0, 1, 2\}$, 分为 $A=\{-1, 1\}$, $B=\{-2, 0, 2\}$ 两组。4 对双绞线组合的 16 种结果分为图 1(a) 所示的 8 个子集, 属于相同子集的不同符号间的欧氏距离为 4。图 1(b) 为其网格编码^[1]图, 每个状态均有 4 条进出路径, 偶状态 $\rho_0, \rho_2, \rho_4, \rho_6$ 出发路径对应的输出判决符号取自偶子集 S_0, S_2, S_4, S_6 ; 奇状态 $\rho_1, \rho_3, \rho_5, \rho_7$ 出发路径输出判决符号取自奇子集 S_1, S_3, S_5, S_7 , 相同起止点的编码路径间最小距离为 4, 即网格编码在理想条件下可以获取 6 dB 编码增益。

由于噪声和串扰的存在, 译码使用了基于最大似然估计 (MLSE) 的维特比算法, 该算法的复杂度随着信道数和译码深度呈指数增长, 因此, 硬件复杂度是算法设计重点。一种是串联式均衡解码器结构, 即将 4 个 DFE (判决反馈均衡器) 与一个维特比译码器串联, 如图 2 所示。其中, 4 路 DFE 用于消除后馈干扰, 维特比译码器则用于进行网格译码, 两部分组成串联式结构。

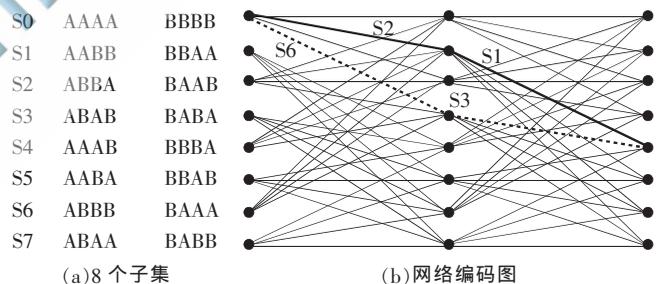


图 1 子集划分与状态转移图

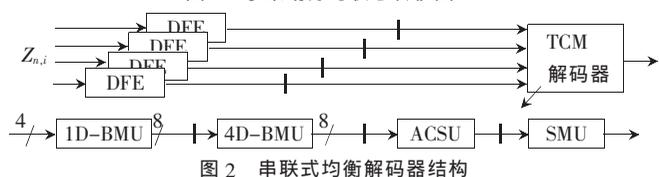


图 2 串联式均衡解码器结构

串联分离式结构^[2]电路简单、硬件开销小、可流水线操作且速度快。但其中 DFE 输入直接来自硬判决, 当存在误判时, 会引起错误传递^[3], 导致误码率升高。抑制误差传递的一种方法是使用并联式结构, 如图 3 所示。DFE 与 Viterbi 译码器形成环路, 后馈干扰补偿嵌入 Viterbi 译码器中, DFE 输入不采用硬判决而采用各状态

网络与通信 Network and Communication

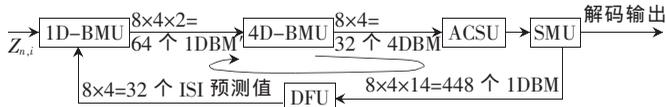


图3 并行判决反馈译码的结构

幸存信号,这种结构能取得很好的误码率性能。

并联式结构针对8状态都进行了DFU计算,需8倍的DFU单元数、8倍的1D-BMU单元数以及4倍的4D-BMU的单元数,大大增加了硬件开销。并且由于n时刻的码间干扰计算需要此前的多级判决值,因此,后馈码间干扰的补偿、一维及4维分支度量计算、加比选单元以及幸存信号的选择形成了一个关键回路,路径延迟大,系统工作速率低。

串联式结构硬件简单且能达到较高的速度,而并联式结构拥有较好的误码率性能,可以综合这两种结构设计一种折衷的混合型结构。

2 混合式结构设计与实现

2.1 混合式结构

经仿真可知,信号经过回波、串扰消除以及前馈均衡后,大部分的后馈干扰能量都集中在前几级上,而占多数级的尾部干扰只占有少部分能量。如果先去掉相对不重要的尾部干扰,而将重要干扰的消除引入到分支度量计算中,利用超前计算思想^[4]来减小延时,将多数级数的尾部干扰消除单元和1D-BMU单元移到关键环路以外,可得到一种混合式结构,对误码率性能只会有很小的影响,但却可以大大降低硬件复杂度,如图4所示。

判决反馈均衡(DFPE)用于消除相对不重要的后馈干扰,只留下重要的几级送到判决反馈均衡解码器(PDFD)。假设后馈干扰级数L=14,用MATLAB对三种结构的误码性能作了算法模拟,得到BER与输入SNR关系,如图5所示。此外,还对不采用网格编码的信号进行仿真,可看到误差传递作用对串联式结构性能有很大的负面影响,相对于未编码系统只有约1dB的信噪比增益;而14级全并联结构约有5.3dB的编码增益;混合式结构残留级数r增加,编码增益也增加,残留1级干扰时,编码增益约为4dB,虽然残留级数为2时的误码率性能与全并行结构的性能相当,但却大大增加了硬件复杂度,因此,选择r=1。

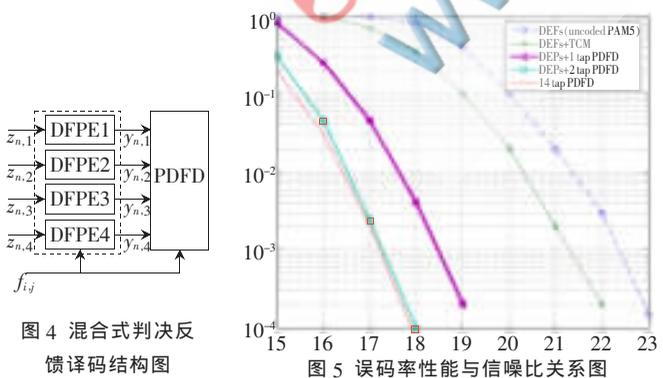


图4 混合式判决反馈译码结构图

图5 误码率性能与信噪比关系图

2.2 DFPE 结构

DFPE 将后馈干扰的级数削减到1,其结构如图6所

示,消除了这部分后馈干扰的信号{y_{n,j}}为:

$$y_{n,j} = z_{n,j} - \sum_{i=2}^L f_{i,j} \check{a}_{n-i,j}$$

其中, $\check{a}_{n-i,j}$ 是判决器将 $d_{n,j}$ 判出的最接近的 PAM5 符号,

$$d_{n,j} = y_{n,j} - f_{1,j} \check{a}_{n-1,j}$$

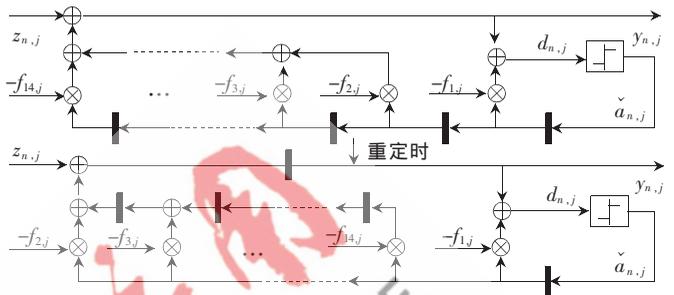


图6 DFPE结构图

可以看出,这些级数的后馈干扰补偿不再与8状态相关,即相当于串联式均衡器处理方法。这部分结构从环路当中提取出来,减小了路径延时。应用重定时技术^[5]将D触发器上移,这样关键路径仅由一个移位操作、一个加法器和判决器组成了。将{y_{n,j}}送到PDFD补偿携带大部分能量的首级干扰,并完成网格译码。

2.3 超前计算PDFD结构

输入到PDFD的后馈干扰的级数已降低到了一级,这样对某个y_{n,j},1D-BM只有很少数的可能值,可以对这些值进行预计算,这样可以进行流水化操作,从而提高速率,其结构和所需的计算如图7所示。

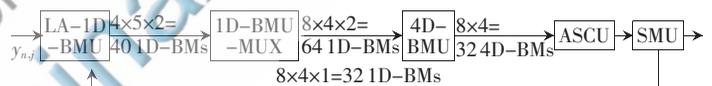


图7 残留1级超前的计算PDFD结构

1D-BM可能值在LA-1D-BMU中计算,1D-BMU-MUX则根据幸存符号选择正确的值,与图4的全并行结构相比,只有1D-BMU-MUX、4D-BMU、ACSU和SMU处在关键环路中,延时大大降低。后馈干扰估计值为 $\tilde{a}_{n-i,j}$ 时的一维分支度量的预测值为:

$$\tilde{\lambda}_{n,j}(y_{n,j}, a_{n,j}, \tilde{a}_{n-1,j}) = (y_{n,j} - a_{n,j} - f_{1,j} \tilde{a}_{n-1,j})^2$$

其中, $a_{n,j}$ 为AB子集中最接近去除ISI后的估计值的符号,即 $a_{n,j} \in A$ 或 B ,对PAM5调制, $\tilde{a}_{n-1,j}$ 的可能值为{-2, -1, 0, 1, 2}, 因此每对线j上需要计算10个一维分支度量

预测值 $\tilde{\lambda}_{n,j}(y_{n,j}, a_{n,j} \in \{A, B\}, \tilde{a}_{n-1,j} \in \{-2, -1, 0, +1, +2\})$ 。

对于每个状态 ρ_n , 线对j, 一维符号子集A或B, 由于有5个可能的ISI后馈干扰 $\tilde{a}_{n-1,j}$, 因此有5个可能的一维分支度量值 $\tilde{\lambda}_{n,j}(y_{n,j}, a_{n,j} \in A, \tilde{a}_{n-1,j} \in \{-2, -1, 0, +1, +2\})$, 可根据幸存符号 $\hat{a}_{n-1,j}$ 通过一个5:1的多路选择器选择正确值 $\lambda_{n,j}(y_{n,j}, a_{n,j} \in A, \rho_n)$, 由于一共有4维, 8状态, 2个一维符号子集, 因此一共需要64个这样的选择单元。对状态 ρ_n , 4维输入 $\vec{a}_n = (a_{n,1}, a_{n,2}, a_{n,3}, a_{n,4})$ 时的四

网络与通信 Network and Communication

维分支度量为各线对的一维分支度量叠加:

$$\lambda_n(\vec{z}_n, \vec{a}_n, \rho_n) = \sum_{j=1}^4 \lambda_{n,j}(y_{n,j}, a_{n,j}, \rho_n)$$

对每个4维子集,需计算最佳A类和B类4维符号的分支度量,即对 $\lambda_{n,1}(y_{n,1}, a_{n,1} \in A, \rho_n)$ 和 $\lambda_{n,1}(y_{n,1}, a_{n,1} \in B, \rho_n)$ 根据子集分类进行累加,然后通过一个比较-选择操作挑选出较小度量的4维符号 $\lambda_n(\vec{y}_n, \vec{a}_n \in S_i, \rho_n)$ ($i=0, 2, 4$ 或 $1, 3, 7$)并进行累加,接着由ACSU选择最小累加度量:

$$\Gamma_{n+1}(\rho_{n+1}) = \min_{\{\rho_n\} \rightarrow \rho_{n+1}} (\Gamma_n(\rho_n) + \lambda_n(\vec{y}_n, \vec{a}_n, \rho_n))$$

基于前一状态到达各个状态的度量值,根据网格中可能的路径,加上新计算得到的各度量值,算出下一状态到达每个状态的4条路径的度量值^[6]。然后对每个状态,从这4条路径中选取最佳路径作为本次维特比译码路径,并存入幸存路径存储单元SMU。

3 FPGA实现结果

本设计采用Verilog HDL语言实现,在Xilinx ISE11.4软件中进行综合及布局布线,使用的器件为XC5VLX50T。混合结构和并行结构的硬件复杂度和延时如表1和表2所示,混合型结构的硬件复杂度和速度均优于并行结构。

表1 混合结构硬件单元与延时

	电路单元	延时
DFPE	60 ADD	
	45 SHIFT	
LA-1D-BMU	4 SLC	
	16 ADD	
	40 SQR	
1D-BMU-MUX	60 MUX (5:1)	1 MUX (5:1)
	160 ADD	3 ADD
4D-BMU	32 MUX (2:1)	1 MUX (2:1)
	80 ADD	1 ADD
ACSU	8 MUX (4:1)	1 MUX (4:1)
	928 REG	1 REG
SMU	928 MUX (4:1)	1 MUX (4:1)

表2 并行结构硬件单元与延时

	电路单元	延时
DFU	416 ADD	4 ADD
	448 SHIFT	1 SHIFT
1D-BMU	32 ADD	1 ADD
	64 SLC	1 SLC
	64 SQR	1 SQR
	32 MUX (2:1)	1 MUX (2:1)
ACSU	80 ADD	1 ADD
	8 MUX (4:1)	1 MUX (4:1)
SMU	1344 REG	1 REG
	1344 MUX (4:1)	1 MUX (4:1)

根据1000BASE-T信道模型^[7],使用MATLAB仿真产生了有干扰的数据,通过本文设计的均衡解码器进行

均衡并解码,ModelSim仿真结果如图8所示。 z_1, z_2, z_3, z_4 为通过模拟信道、带干扰的待均衡解码的数据,理论上为5值符号 $\{-2, -1, 0, 1, 2\}$,假设经过8 bit A/D转换量化后理论值为 $\{-128, -64, 0, 64, 127\}$ 。 $\{a_1, a_2, a_3, a_4\}$ 为译码过程保存的幸存符号值。 $dout$ 为经过回溯深度14周期后的译码输出,输出为 $00 \rightarrow 01 \rightarrow 00 \rightarrow 01 \rightarrow 01 \rightarrow 00 \rightarrow 10 \rightarrow 10 \rightarrow 11 \rightarrow 10 \rightarrow 00 \rightarrow 00 \rightarrow 11 \rightarrow 10 \rightarrow 01 \rightarrow 00 \rightarrow 01$ 。通过分析可知,状态转换与输入的码组对应,表明该均衡解码器正确地去除干扰并解码出发送信号。

本文在现有判决反馈均衡解码器的基础上设计了一种折衷的混合结构,采用预均衡将后馈干扰削减到1级,使用流水线及超前计算技术优化其性能,该结构大大降低硬件复杂度,同时又能满足系统误码率和速度的要求,最后使用Verilog HDL语言实现了一个适用于1000BASE-T的均衡解码器。

参考文献

- [1] KARDONTCHIK J E. 4D encoding in level-one's proposal for 1000 BAST-T[Z].AMD Inc,1997.
- [2] HATAMIAN M. Design considerations for Gigabit Ethernet 1000Base-T twisted pair transceivers [C]. IEEE Custom Integrated Circuits Conference,1998:335-342.
- [3] HARATSCH E F, AZADET K. High-speed reduced-state sequence estimation [C]. IEEE International Symposium on Circuits and Systems, Geneva, Switzerland, 2000(5):387-390.
- [4] HARATSCH E F. A pipelined 14-Tap parallel decision feedback decoder for 1000Base-T Gigabit Ethernet[C]. IEEE International Symposium on VLSI Technology, Systems, and Applications, 2001:117-120.
- [5] Gu Yongru, PARHI K K. Pipelined parallel decision-feedback decoders for high-speed Ethernet over copper[J]. IEEE Transactions on Signal Processing, 2007,55(2):707-715.
- [6] Wang Leiou, Li Zheyang. Design and implementation of a parallel processing Viterbi decoder using FPGA [C]. Proceedings of the 2010 International Conference on Artificial Intelligence and Education, 2010:77-80.
- [7] TIA/EIA 568-B. 2-commercial building telecommunications cabling standard-part 2: balanced twisted pair cabling components[S]. ANSI, 2001.

(收稿日期:2011-11-08)

作者简介:

杨滔,男,1987年生,硕士研究生,主要研究方向:数字通信与FPGA技术。

宋学瑞,男,1957年生,硕士研究生导师,主要研究方向:模拟电路设计。

曹宏徒,女,1987年生,硕士研究生,主要研究方向:无线通信信道估计。



图8 均衡解码器仿真结果图