

基于 NIOS II 的声纳主机与显控台之间的 RS232 通信协议

王 斌, 许伟杰

(中国科学院声学研究所(上海研究站), 上海 200032)

摘要: 以 ALTERA 公司开发的 NIOS II 为处理器, 利用系统硬 IP 核和自建的模块构建一个片上系统。在此系统上通过编程实现显示控制分机与主机的 RS232 通信。测试证明这种方法灵活, 有很好的可扩展性。

关键词: 声纳设备; FPGA; 片上系统; RS232 通信协议

中图分类号: TB556

文献标识码: A

文章编号: 1674-7720(2012)04-0050-03

NIOS II based RS232 communication protocol between sonar host and display console

Wang Bin, Xu Weijie

(Shanghai Acoustic Laboratory, Institute of Acoustic, Chinese Academy of Science, Shanghai 200032, China)

Abstract: We choose ALTERA's NIOS II processor and intellectual property (IP) core to build a system on chip (SoC). SoC contains some user created modules. RS232 communication protocol has been realized in this system to transmit information between display console and sonar host. This solution is flexible and scalable.

Key words: sonar set; FPGA; SoC; RS232 communication protocol

声纳设备一般由换能器(信号转换、收发设备)、信号处理主机(DSP等)和显示控制分机(简称显控台)三部分构成。显控台和主机之间的通信非常重要^[1]。

显控台和主机之间的通信距离较远,对通信的可靠性和安全性要求高,但是对通信速度要求不高。所以通信方式可以选择串口通信协议 RS232^[2]。

显控台上诸多的旋钮、开关以及指示灯、数码管等设备需要丰富的外围接口。这些接口之间具有复杂的逻辑关系。选用 FPGA 作为显控台主芯片可以满足这些要求。以 ALTERA 公司的 Cyclone II 开发板为例,其主芯片 EP2K8Q208C 最多可提供 182 个用户 I/O 口,可以满足外围接口要求^[3]。在 ALTERA 公司提供的硬件开发环境 Quartus 和片上系统开发环境 SoPC 下,可以非常方便地进行控制模块的开发。也可以构建 NIOS II 处理器,以及配置 NIOS 系统自带的硬核,如串口通信模块 UART、存储模块 Serial Flash 等^[4]。

本文利用 FPGA 芯片设计了一套显示控制分机系统,并且以声纳训练靶为应用背景编制了串口通信协议。

1 利用 SoPC Builder 构建显控台的片上系统

SoPC Builder 是 ALTERA 公司提供的片上系统(SoC)开发工具,它可以配合 QuartusII 完成 FPGA 芯片的 CPU 以及外围设备的配置工作。

1.1 片上系统的构建

在 SoPC Builder 的开发环境下,选择 ALTERA 公司开发的 32 位 RISC 处理器 NIOS II。标准型的处理器 NIOS II/s 可以运行在 100 MHz 的系统时钟下,运算速度超过 50 DMIPS^[2]。再构建配套的数据存储器 SDRAM、程序存储器 Serial Flash、系统地址管理器(System ID Peripheral)、编程调试接口(JTAG_UART)以及数码管(SEG)、显示和旋钮(KNOB)、按键(KEYS)等 PIO 接口。

1.2 RS232 Serial Port 的结构

对 UART 的控制主要通过编程寄存器来实现^[2]。根据 UART 的寄存器结构,在 SoPC 对应的软件开发环境 NIOS II IDE 下建立 C 语言的结构体 UART_ST,代码如下:

```
/*-----UART-----*/
```

```
typedef struct
```

```

{
  union{
    struct{
      volatile unsigned long int RECEIVE_DATA :8;
      volatile unsigned long int NC:24;
    }BITS;
    volatile unsigned long int WORD;
  }RXDATA;
  union{
    struct{
      volatile unsigned long int TRANSMIT_DATA:8;
      volatile unsigned long int NC:24;
    }BITS;
    volatile unsigned long int WORD;
  }TXDATA;
  union{
    struct{
      volatile unsigned long int PE:1;
      ... 其他状态寄存器
    } BITS;
    volatile unsigned long int WORD;
  }STATUS;
  union{
    struct{
      volatile unsigned long int IFE:1;
      ... 其他控制寄存器
    }BITS;
    volatile unsigned long int WORD;
  }CONTROL;
  volatile unsigned long int BAUDRATE_DIVISOR:16;
  volatile unsigned long int NC:16;
  }BITS;
  volatile unsigned int WORD;
  }DIVISOR;
}UART_ST;

```

2 显控台与主机之间的通信

声纳设备有两种工作状态——设置和工作。在这两种状态下,显控台与主机的通信方式有三种,分别如图 1~3 所示。

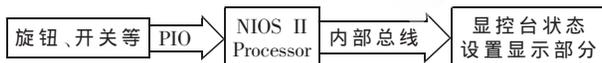


图 1 设置状态下 NIOS II 处理器与显控台通信

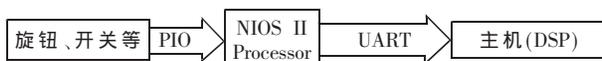


图 2 设置状态下 NIOS II 处理器通过 UART 与主机(DSP)通信

在声纳设备工作之前,操作员在显控台要完成开机与参数设置等动作。此时,开关等外围设备会触发处理

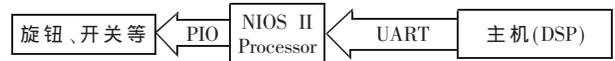


图 3 工作状态 NIOS II 处理器通过 UART 与主机(DSP)通信

器的中断处理程序,完成参数设置和显示。这些参数不仅要在显控台显示,还得通过 UART 发送到主机(DSP),作为主机信号处理运算的某些参数。因为是通过串口发送,所以这些数据要进行适当的分割与编码,并加上地址信息等。

在主机(DSP)接收到开始工作的指令后,主机把处理过程中或者处理后的数据通过 UART 发送到显控台,方便操作员实时了解设备的工作状态和工作结果。

3 在 NIOS II IDE 上实现串口通信协议

NIOS II IDE 是 ALTERA 公司开发套件中用来进行嵌入式开发的平台。所有软件开发任务都可以在 NIOS II IDE 下完成,包括编辑、编译和调试程序。它支持 C/C++ 语言编程,可以根据 SoPC 建立的 SoC,生成相应 makefile,在编译时,又可以根据 makefile 生成系统头文件 system.h,从而把软硬件隔离开来^[5]。

3.1 串口通信协议

在 NIOS II IDE 下用 C 语言开发通信协议较为方便。由于 RS232 每帧数据有效数据位为 8 bit,所以将 unsigned char 作为协议中的基本数据类型。在库文件中,这种数据类型被定义为 alt_u8。指令的前 4 位为 0,后 4 位为指令内容。数据前 4 位为数据的地址信息,后 4 位为数据内容。

显控台与主机所有通信数据和指令分为三种:(1)显控台处理器发送到主机(DSP)的指令,取值范围为 0x00~0x0f。典型的如 0x00 为开始工作指令,0x0f 为停止工作指令,0x01~0x07 为通信检查指令。(2)显控台处理器发送到主机(DSP)的数据,取值范围为 0x1x~0xfx。典型的如 0x9x 和 0xax,分别为多普勒频移的低 4 位数据和高 4 位数据。(3)主机(DSP)发送到显控台处理器的数据,取值范围为 0x0x~0xfx。典型的如 0x5x 噪声级别。

3.2 程序设计

根据以上分析,以声纳训练靶为例,设计 C 语言程序。框图如图 4 所示。

NIOS II 嵌入式编程可以直接调用 ALTERA 的库函数进行操作。例如对 PIO 的操作函数:IOWR_ALTERA_AVALON_PIO_DATA(BASE,DATA)(写 IO 函数),IOWR_ALTERA_AVALON_PIO_DATA(BASE,DATA)(读 IO 函数)。也可以构建硬件寄存器的结构,例如 UART_ST 这样的结构,通过对结构实例化的操作,同样可以方便地编程。本设计中结合了这两种编程的优势,对于结构复杂,操作要求简单的硬件,采用库函数的操作方法,如 Flash;对结构较为简单、操作较为细化的硬件,采用寄存器结构化的操作方法,如 UART。

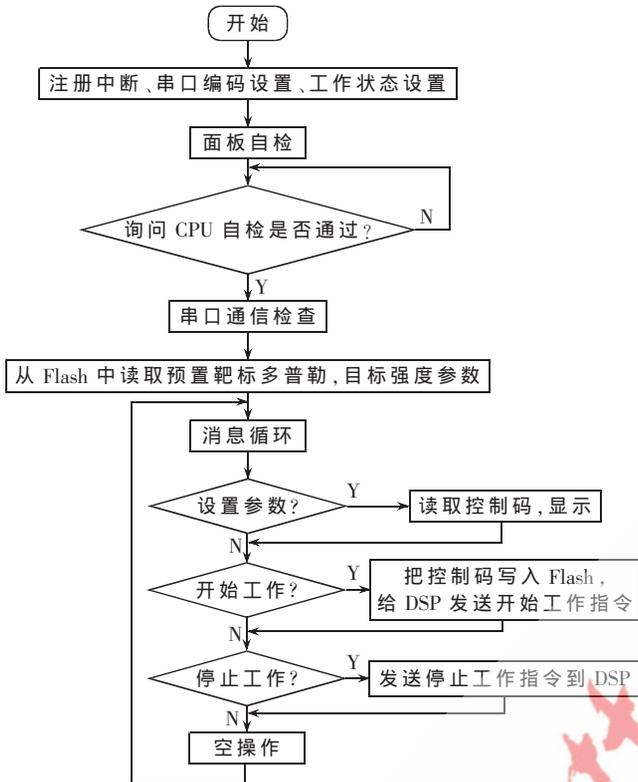


图 4 程序框图

本文利用 FPGA 芯片构建了声纳设备的显示控制分机。基于 ALTERA 公司的 NIOS II 嵌入式处理器, 建立

了片上系统, 实现了显示控制分机和主机 (DSP) 之间的 RS232 通信协议。在以 EP2C8Q208C 为主芯片的 FPGA 开发板上, 实现了硬件系统的构建和软件编程以及下载。此显示控制分机应用在一体化声靶中, 工作稳定可靠。由于片上系统构建的灵活性, 所以这种显示控制方案在声纳设备中具有很好的可扩展性, 便于维护和升级。

参考文献

- [1] 蒋均齐. 鱼雷声靶技术研究[D]. 长沙: 国防科技大学, 2006: 8-9.
- [2] 李金力, 刘文怡, 彭旭峰. 基于 FPGA 的 RS232 异步串行口 IP 核设计[J]. 电子设计工程, 2009, 17(8): 31-35.
- [3] Altera Corporation. Cyclone II Device Handbook[S]. 2007(1): 12-34.
- [4] 张新喜, 许军, 杨雨迎, 等. 基于 SoPC 技术的战车综合显控终端设计[J]. 火力与指挥控制, 2008, 33(增刊): 109-112.
- [5] 洪胜峰. 基于嵌入式技术的军用车辆车载显控终端的研制[D]. 青岛: 中国海洋大学, 2007: 25-26.

(收稿日期: 2011-11-17)

作者简介:

王斌, 男, 1986年生, 硕士, 主要研究方向: 信号与信息处理。