

# 基于 FPGA 的布撒传感器节点设计

张国义<sup>1</sup>, 王越<sup>2</sup>, 王卓<sup>3</sup>, 韩琪<sup>4</sup>

- (1.西北工业大学 现代设计与集成制造技术教育部重点实验室, 陕西 西安 710072;  
2.61683 部队, 北京 100094;  
3.北京神州数码思特奇信息技术有限公司, 北京 100085;  
4.北京航天发射技术研究所, 北京 100076)

**摘要:** 主要介绍了基于软件无线电体系结构的传感器节点中频接收机的原理以及硬件和软件设计方案。分析了传感器节点中频接收机数字模型, 并对不同设计方案进行了比较, 根据设计需求确定设计方案。该方案运用电子设计自动化技术, 采用 FPGA 实现数字下变频, 完成接收机功能, 并进行了系统的 MATLAB 程序仿真。

**关键词:** 软件无线电; FPGA; A/D 转换; 数字下变频

中图分类号: TP399

文献标识码: A

文章编号: 1674-7720(2012)03-0062-04

## Design of the dispensed wireless sensor nodes based on FPGA

Zhang Guoyi<sup>1</sup>, Wang Yue<sup>2</sup>, Wang Zhuo<sup>3</sup>, Han Qi<sup>4</sup>

- (1.The Key Laboratory of Modern Design and Integrated Manufacturing Technology, Ministry of Education, Northwestern Polytechnical University, Xi'an, 710072, China;  
2. People's Liberation Army, Troop 61683, Beijing 100094, China;  
3.Digital China Si-Tech Information Technology Ltd., Beijing 100085, China;  
4.Beijing Institute of Space Launch Technology, Beijing 100076, China)

**Abstract:** Based on software radio architecture, the principle of convergence node IF receiver hardware and software design is proposed. This paper analyzes the digital model of convergence node IF receivers, and the different designs are compared to determine the design according to design requirements. Using electronic design automation technology and FPGA to design digital down conversion to complete the receiver function. It simulates the system by MATLAB programs.

**Key words:** software radio convert digital down conversion; FPGA; A/D conversion; DDC

无线传感器网络 WSN (Wireless Sensor Network) 具有快速布置、网络自组织和系统容错的特点, 这使它成为 C4ISR 所希望的感知技术, 也使 WSN 成为对战场进行监测一个好手段。美国国防部高级规划署 (DARPA) 多年前就启动了 Sensor IT (Sensor Information Technology) 计划, 其目的就是将不同类型的传感器、可重编程的通用处理器和低成本无线通信技术组合起来, 自主建立一个廉价的大规模高密度的网络系统。本文基于远程火箭布撒的传感器子弹应用要求, 研究了基于 FPGA 的传感器节点。

WSN 体系结构如图 1 所示, 通常包括传感器节点、汇聚节点、外部网络 and 用户界面。采集传感器节点部署在感

知区域内部或附近, 能够通过组织构成网络, 传感器节点将采集到的数据经过单跳路由传输到传感器节点, 再由传感器节点通过外部网络传送到处理中心进行集中处理<sup>[1-5]</sup>。

### 1 传感器节点中频接收机的构成和功能

某传感器节点中频接收机以中频 70 MHz、带宽 10 MHz 的 BPSK 调制信号作为处理对象, 实现对中频接收信号的数字化、下变频、解调并输出。其硬件平台是 A/D 采样模块、数字下变频器模块、数字信号处理模块。首先是对中频信号进行数字化, 这个工作由 A/D 转换模块来完成, 方案选择的是 ADI 公司的 A/D 芯片 AD9236<sup>[6-7]</sup>, 本系统采用 Gray-Chip 公司的宽带数字下变

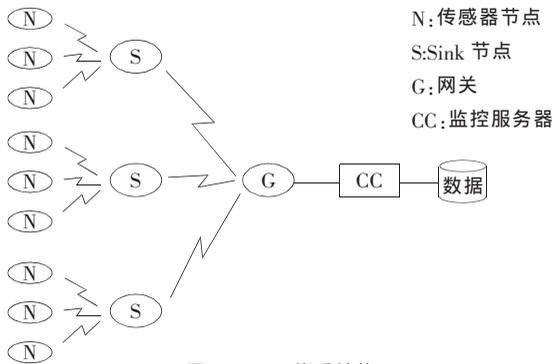


图1 WSN体系结构

频器 GC1012B 对中频 A/D 采样后的数字信号进行下变频<sup>[8]</sup>处理, FPGA 作为数字信号处理模块完成数据解调和 A/D 采样控制功能。本方案对数字下变频算法的 FPGA 实现也做了研究, 这样就为 FPGA 单独实现下变频打下基础, 使整个方案更加灵活和开放。

由于传感器节点接收的信号是 WSN 采集节点的数据, 其带宽远大于一般采集节点接收机, 中频载波为 70 MHz。

### 1.1 系统的硬件平台

某传感器节点中频接收机的硬件构成图如图 2 所示。



图2 传感器节点中频接收机的硬件构成图

根据软件无线电实现思想的不同, 硬件平台可以有两种方案选择。

(1) 如图 2 所示, 某传感器节点中频数字化接收机分为模拟部分和数字部分。ADC 模块在完成 A/D 变换后以 12 bit 的二进制补码方式并行输出。A/D 采样后的数字信号由硬件实现数字下变频, 数据传送到 FPGA 后直接送至专用芯片 GC1012B, 由 GC1012B 实现数字下变频。GC1012B 完成数字下变频后的输出为 I、Q 两路 16 bit 并行数据, 将 I、Q 路返回 FPGA 进行解调同步处理, 再由串口输出基带信号。在调试中, 每个模块输出的信号都可通过 FPGA 以 8 bit 并行方式传送数据至主机, 再由主机利用 MATLAB 分析软件进行频谱和信号的分析。整个中频接收机由同一个晶振提供时钟, 从而实现采样输出信号和数字下变频输入信号的同步。该方案相对简单实用、采样率高、运行稳定。

(2) 在 FPGA 中用软件实现数字下变频, 模拟信号经过 A/D 变换后的数据传送到 FPGA, 由 FPGA 实现数字下变频及解调功能, 处理出来的基带信号由串口输出。

方案(2)比方案(1)复杂、采样率更低, 但软件化的程度更高, 通用性和灵活性更好, 具有更好的前景, 具有研究的价值。本文将讨论基于 FPGA 的数字下变频算法。

本方案的 A/D 模块选用 ADI 公司的 AD9236 芯片作为 A/D 转换模块, 其外围电路用 AD8138 做差分信号放大器。

在 DDC 模块中, 其主要部分是 Gray-Chip 公司的宽带中频数字下变频器 GC1012B, 能将输入频率为 0~100 MHz、带宽为 0~50 MHz 的数字信号下变频为零中频的基带信号, 在完成数字下变频后还可以通过内部的抽取器降低采样频率。GC1012B 工作时由 FPGA 作为控制器来读写控制字。

本系统的 FPGA 芯片既作为控制器, 又作为数字信号处理器, 主机通过 JTAG 口把程序下载到 FPGA 芯片上以完成对 GC1012B 的控制和数据解调的功能。FPGA 选用 Altera 公司的 Cyclone II EP2C5 芯片。

### 1.2 模数转换模块的设计

模数转换模块主要由驱动放大器、A/D 转换器和时钟电路三部分组成, 此外, 还可以加上 RAM 和抗混叠滤波器。系统选用 ADI 公司的 AD9236 转换芯片, AD9236 是 12 bit 的单片式模数转换器, 其片内含有采样保持电路。AD9236 采样速率可达到 105 MHz, 其模拟带宽达 500 MHz, 它在整个工作频率范围内都具有较好的动态性能指标。AD9236 模拟输入 +5 V 电源供电, 输出为 3.3 V CMOS/TTL 电平, 片内含基准源。为了满足其采样要求, 输入的模拟信号和采样时钟采用差分输入。AD9236 输出码为 12 bit 并行输出的二进制补码形式。

图 3 为系统的 A/D 模块的电路图。输入的中频模拟信号经过 AD8138 放大, 在变为差分信号后传输至 AD9236 的差分输入端, 在差分时钟的驱动下, AD9236 把输入的模拟量变为数字量, 并以 12 bit 二进制补码的形式输出。为避免互相干扰, 分别用两个电源模块为时钟电路和模拟电路供电。

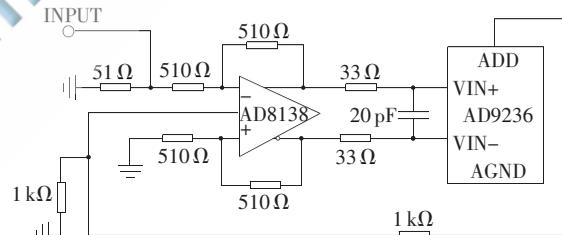


图3 A/D 模块电路图

## 2 传感器节点数字下变频的 FPGA 实现

随着电子设计自动化 (EDA) 和芯片技术的发展, 设计者可以大规模可编程逻辑器件为设计载体, 以硬件描述语言来表达系统设计, 以计算机开发系统作为 FPGA/DSP 系统设计的工具, 自动完成数字化集成电路的设计。采用自顶向下的设计方法, 即把系统高级抽象的初始功能定义分解成具体的低一级的子功能模块, 分解过程一直到设计可以用简单电路实现的功能模块组成为止。

### 2.1 传感器节点中频接收机数字下变频的数学模型

传感器节点中频接收机中采用专用芯片 GC1012B 来实现数字下变频的功能, 其优点是集成度高, 应用方便, 但是其不够灵活的缺点并不符合理想的软件无线电

# 网络与通信

Network and Communication

系统。因此,研究在 FPGA 中用软件的方法实现下变频是必要的。FPGA 芯片具有大规模的内部逻辑阵列和丰富的连线资源,适合作数字信号处理系统。但是在 FPGA 中缺乏实现乘加运算的有效结构,而数字下变频算法中的乘加算法需要大量的滤波器。因此 FPGA 长期以来一直用于系统逻辑或时序控制中,较少有在信号处理方面的应用。

数字下变频原理图如图 4 所示。系统实现数字下变频的模型和上文介绍过的单通道软件无线电接收机数学模型在原理上其实是一样的,本文讨论了 FPGA 实现数字下变频具体的组成部分。

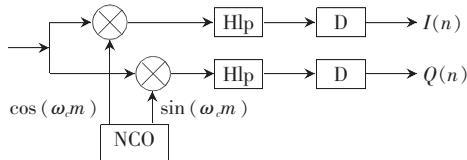


图 5 数字下变频原理图

从图 4 可以看出,数字下变频(DDC)可以分为两部分:数控振荡器(NCO)受控产生本振信号  $\cos(\omega_c m)$ 、 $\sin(\omega_c m)$  在混频器里和输入信号相乘;低通滤波器和抽取器(D),抽取器起到降低码速率作用,可以减轻后续数据处理的压力。此外,由于需要提供本地的载波相位  $\omega_c$ ,需要用于载波同步的数字锁相环(DPLL)从输入的信号中提取  $\omega_c$ 。

图 5 为数字下变频过程中信号频谱变化。假设带通信号中频为 70 MHz,带宽为 10 MHz,其频谱如图 5(a)所示,使用带通信号的解析信号即:  $Z(t) = x(t) + H[x(t)]$  画频谱,  $H[x(t)]$  是  $x(t)$  的 Hilbert 变换。通过采样频率为 40 MHz 的 A/D 采样后,带通信号频谱如图 5(b)所示,带

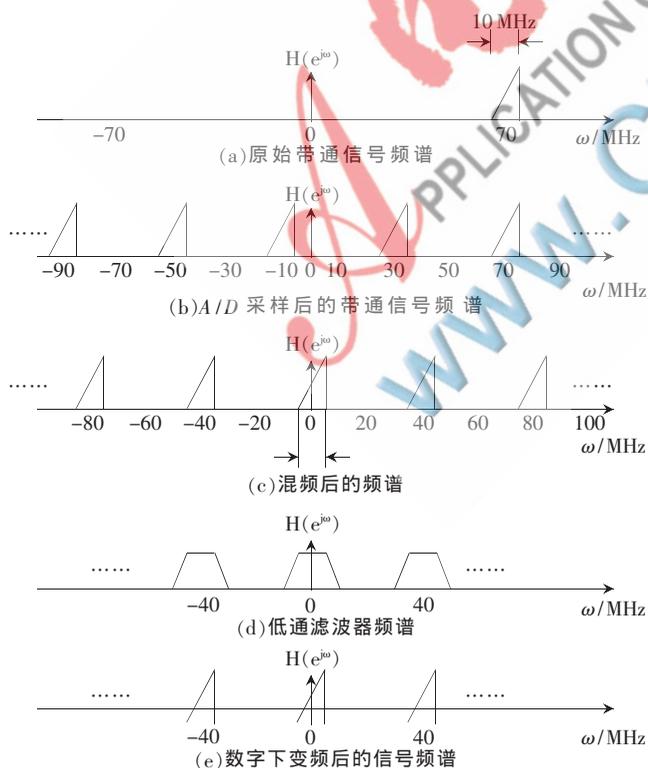


图 5 数字下变频的频谱示意图

通信号中心频率分别出现在  $\dots, -90 \text{ MHz}, -70 \text{ MHz}, \dots, 30 \text{ MHz}, 70 \text{ MHz} \dots$ , 频谱以 40 MHz 为周期重复出现。混频之后频谱如图 5(c)所示,其中,有用的频谱被搬移到 0 中频。图 5(d)中的低通滤波器用来滤除  $I(n)$ 、 $Q(n)$  频谱分量之外的信号,这样低通滤波器的通带截止频率应该为  $I(n)$  和  $Q(n)$  频谱分量中对应的最高频率,即 5 MHz,但是滤波器的阻带截止频率应小于信道间隔的一半,所以取 10 MHz。在  $-20 \text{ MHz} \sim 20 \text{ MHz}$  范围内的数字下变频后的信号在  $-5 \text{ MHz} \sim 5 \text{ MHz}$  上有谱线,如图 5(e)所示,可见整个频谱以 40 MHz 为周期重复。

## 2.2 FPGA 实现数字下变频

FPGA 实现数字下变频原理图如图 6 所示。采样信号分成两路,一路由锁相环(costas 环)提取调制信号的载波相位  $\omega_c$  后,再提供给数控振荡器控制产生本地余弦信号;另一路信号直接传送到乘法器,和本地余弦信号进行混频。混频后的信号经过低通滤波器滤波后,再送到抽取器以降低码速率,最后以二进制码形式输出。其算法流程图如图 7 所示, A/D 采样后输入数据是以二进制补码的形式表示的,在经过二进制和十进制程序转换后变为整数分两路分别进行处理。其中一路在数据转换完成之后( $\text{rdy1}=1$ )即进入混频器;另一路信号进入锁相环去提取本地载波,本地载波就是数控振荡器的输入相位。数控振荡器的输入为 10 bit 二进制无符号数(相位),其输出数据为二进制补码(正弦值)的查找表,即数控振荡器两端都要进行数据的转换,将转换结果送入混频器。两路数据信号  $\text{rdy1}$  和  $\text{rdy2}$  都进入判决器,如果  $\text{rdy1}$  和  $\text{rdy2}$  同时为 1,则表明两路数据都准备好了,这时混频开始。

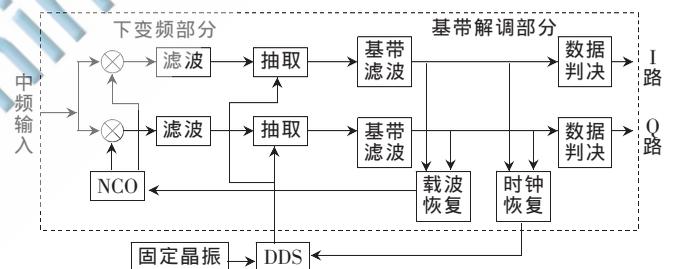


图 6 FPGA 数字下变频框图

在混频完成之后是滤波过程,同样,滤波器也带有  $\text{rdy}$  信号,在滤波完成后将  $\text{rdy}$  置 1,数据再被送入抽取器中,最终数据转换成 8 bit 二进制输出。

## 2.3 数字下变频算法的 MATLAB 仿真

系统设计中用 MATLAB 程序产生仿真信号源并仿真数字下变频的算法,根据输出信号的频谱来仿真算法是否能完成数字下变频的功能,系统采用 BPSK 调制信号来进行信号仿真<sup>[6]</sup>。

BPSK 调制信号:

(1) 输入带宽为 10 MHz,载频为 70 MHz 的 BPSK 调制信号,取信号幅度为 128 并叠加高斯白噪声,在经过采样频率为 40 MHz 的采样之后,信号频谱的仿真结果

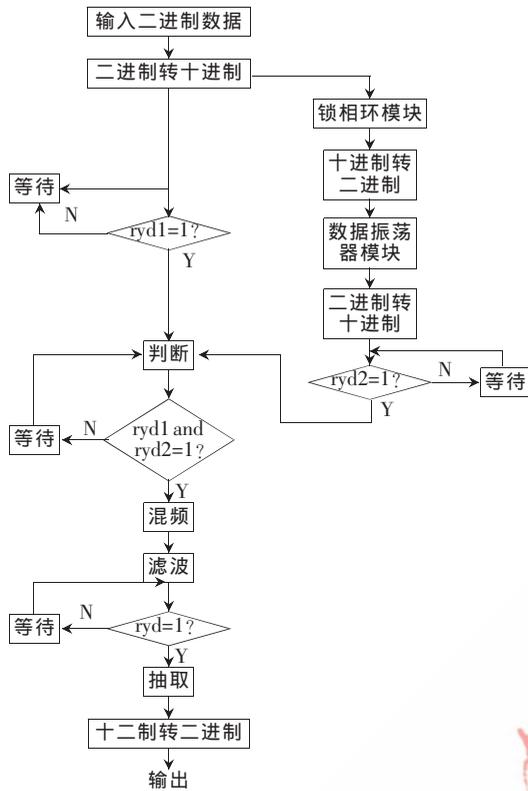


图7 数字下变频算法流程图

如图8所示,其中的横坐标经过采样频率40 MHz的归一化,所以图8中的0.5代表20 MHz。对比图5(b),可知其中中心频率是一样的均在10 MHz、-10 MHz处。

(2)混频过程之后的信号。将BPSK调制的被采样信号与频率为10 MHz、经过40 MHz采样的余弦波混频之后,其中I路的信号频谱仿真结果见图8(b)所示可以看出,其频谱被搬移到了0、20 MHz、-20 MHz位置,

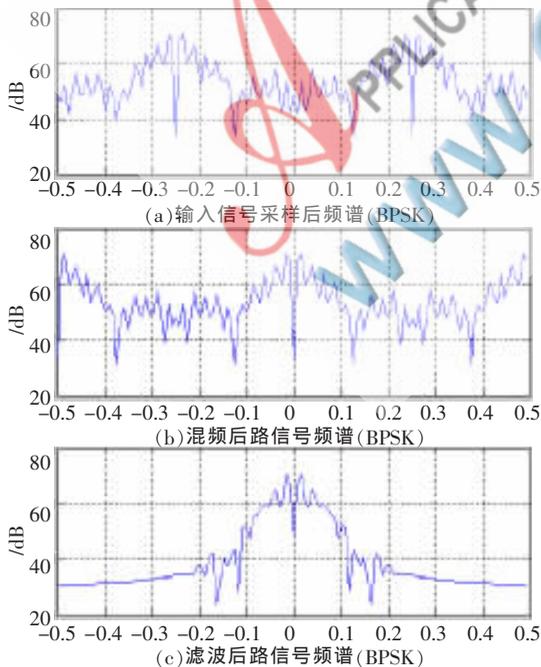


图8 BPSK信号数字下变频的MATLAB仿真

与图5(c)相对应。由于载波信号正好是 $128 \times \cos 70/40 \cdot 2\pi \cdot m = 128 \times \cos \pi/2 \cdot m$ , BPSK调制信号并与正弦信号混频后总是等于0,即Q路信号频谱为噪声与正弦信号混频后的频谱,图中即可不画了。

(3)滤波过程之后的信号。I路的混频后信号再通过5 MHz通带截止频率,阻带截止频率10 MHz的22阶的低通滤波器滤波后,信号频谱的仿真结果如图8(c)所示,可以看到,除基带信号外的-20 MHz和20 MHz的信号已经被滤波器滤掉,这样就只剩下带宽为10 MHz基带信号,与图5(e)相对应。

可以看出,BPSK调制信号数字下变频的信号频谱变化过程都与图5一样,说明数字下变频算法的设计符合前面的数学模型,可以正确完成信号数字下变频的功能。

本文中的传感器节点中频接收机是为了满足区域侦查通信的需要,工作在2.4 GHz自由频段,中频工作在70 MHz,数据采用RS编码和BPSK调制方式。在实验室环境中,对本文设计的传感器节点中频接收机的功能进行验证,结果表明,该接收机能够实现对载波频率的快速跟踪和锁定,对于码速率不大于2 Mb/s,信号强度动态范围在-8 dBm~+16 dBm范围内的信号,可以实现误码率接近理想BER曲线(实际测量曲线偏离理想曲线3 dB以内)的解码。因此,该传感器节点中频接收机满足设计指标。

#### 参考文献

- [1] 杨小牛,楼才义,徐建良.软件无线电原理与应用[M].北京:电子工业出版社,2001.
- [2] BAESE U M.数字信号处理的FPGA实现[M].刘凌,胡永生,等译.北京:清华大学出版社,2003.
- [3] 郑继禹,林基明.同步理论与技术[M].北京:电子工业出版社,2003.
- [4] 黄英,李景文,刘敏.软件无线电技术在传感器节点中频接收机中的应用[J].无线电,2004,30:18-20.
- [5] 毕占坤,吴伶锡.FIR数字滤波器分布式算法的原理及FPGA实现[J].电子技术应用,2004,30(7):61-62,66.
- [6] BURACCHINI E. The software radio concept [J].IEEE Communication Magazing,2000,38(9):138-143.
- [7] Analog Devices. AD9236 data, 12-bit, 80 MSPS/105 MSPS analog A/D Converter[Z]. 2002.
- [8] Texas Instruments. GC1012B data, 3.3 V digital turner chip[Z]. 2002.
- [9] 陈怀深.MATLAB及其在理工课程中的应用指南[M].西安:西安电子科技大学出版社,2000.

(收稿日期:2011-09-07)

#### 作者简介:

张国义,男,1974年生,工程师,博士,主要研究方向:航天测控技术及工业现场数据采集技术。

王越,男,1978年生,工程师,主要研究方向:CSIRT通信规划。

王卓,女,1974年生,工程师,主要研究方向:通信软件架构及规划。