

基于 DSP 和 CPLD 的图像采集系统驱动设计*

钟升红, 康文雄, 梁永峰

(华南理工大学 自动化科学与工程学院, 广东 广州 510000)

摘要: 提出了一种新的基于 DSP 和 CPLD 的图像采集系统驱动设计方法, 该方法针对现有图像采集系统中程序设计灵活性较低和数据传输速度较慢的问题, 利用 CPLD 的灵活性和 TMS320C64x 系列 DSP 的 PDT 传输功能设计了一种合理的解决方案, 并给出了硬件接口设计方案以及 DSP 和 CPLD 上的部分程序代码。该设计已成功在实际中应用, 并减小了 CPU 的开销, 提高了工作效率, 使系统适应性增强。

关键词: 图像采集; DSP; CPLD; PDT

中图分类号: TN911.7

文献标识码: B

文章编号: 1674-7720(2012)01-0016-03

Design of image acquisition system driver based on DSP and CPLD

Zhong Shenghong, Kang Wenxiong, Liang Yongfeng

(College of Automation Science and Engineering, South China University of Technology, Guangzhou 510000, China)

Abstract: A new method of designing image acquisition system driver based on DSP and CPLD is introduced. Aiming at the issues of low programming flexibility and slow data transmission speed in the existing image acquisition system, a reasonable solution is proposed by using CPLD and the PDT of TMS320C64x. The hardware interface circuit and part of the program on the DSP and CPLD is given. This method has been successfully applied in practical, and reduced the CPU overhead, improved the efficiency and adaptability of the system.

Key words: image acquisition; DSP; CPLD; PDT

CMOS 图像传感器利用感光二极管 (Photodiode) 进行光电转换, 将图像转换为数字数据, 每个像素都会连接一个放大器及 A/D 转换电路, 用类似内存电路的方式将数据输出。由于其灵敏度较高、曝光时间较短、像素尺寸小以及成本低、功耗低、整合度高的特点^[1], 已经广泛应用于工业图像处理系统和面向消费的图像捕获系统中。但通常这些系统获取的图像数据量很大, 导致系统效率变低。

复杂可编程逻辑器件 CPLD (Complex Programmable Logic Device)^[2]是一种用户根据自己需要而自行构造逻辑功能的数字集成电路。CPLD 基于 Quartus II 平台并采用 Verilog HDL 语言进行编程, 因而设计过程简单、灵活和高效, 而且可直接通过检测 CMOS 传感器的帧、行、点

这些有效信号来获取图像数据。

数字信号处理器 DSP (Digital Signal Processing) 具有强大的数据处理能力和较高的运行速度, 已广泛应用于图像处理领域。TMS320C64x 系列芯片的 EDMA 支持外围设备传输模式 (PDT)^[3], 从而提供了一种在外围设备和外部存储器设备之间进行大量数据传输的有效方式。当 PDT 被激活时, 数据直接被外部源驱动, 并通过统一数据线写入, 在没有 CPU 参与下完成大量数据转移, 减少了总线周期数, 大大提高了传输效率。

图像采集系统的速度是决定其广泛应用的因素之一, 比如在生物特征识别系统中, 采集速度是其评价标准之一。C64x 系列芯片的运算速度比 C5000 系列有了大幅度提高, 而其新增的 PDT 传输功能也恰好解决了大量数据传输的速度问题, 使其数据处理能力得到了进一步提升。

* 基金项目: 广东省大学生创新实验计划项目 (S1010561086); 广东省科技计划项目 (2009B030803032, 2011B010200023); 华南理工大学中央高校基本科研业务费专项资金资助项目 (2009ZM0070)

1 硬件电路设计

1.1 CMOS 传感器设计

CMOS 是图像采集系统中的核心器件, 本系统采用 Aptina 公司的 MT9V032C12STM (1/3 英寸的 Wide-VGA 黑白 CMOS 传感器)。CMOS 主体电路设计如图 1 所示, SYSCLK 脚接外部晶振使 CMOS 传感器工作模式为主模式, 在主模式中, CMOS 传感器不断采集图像。DOUT_0~DOUT_9 为图像数字信号输出引脚, 实际只用到了 DOUT_0~DOUT_9, FRAME_VALID 为帧信号管脚, LINE_VALID 为行信号管脚, PIXCLK 点信号管脚, SCLK、SDATA 为设置 CMOS 的控制管脚。为了得到高质量的图像, 系统对数字和模拟两部分电路分别独立供电。数字部分供电芯片采用的是 MICREL 公司生产的 MIC5209-3.3BM, 它是可以提供 500 mA 电流的低噪声低压差线性稳压器; 模拟部分供电芯片采用的是 TI 公司生产的 TPS79133-EP, 它是可以提供 100 mA 电流的超低噪声、高电源抑制比低压差线性稳压器。

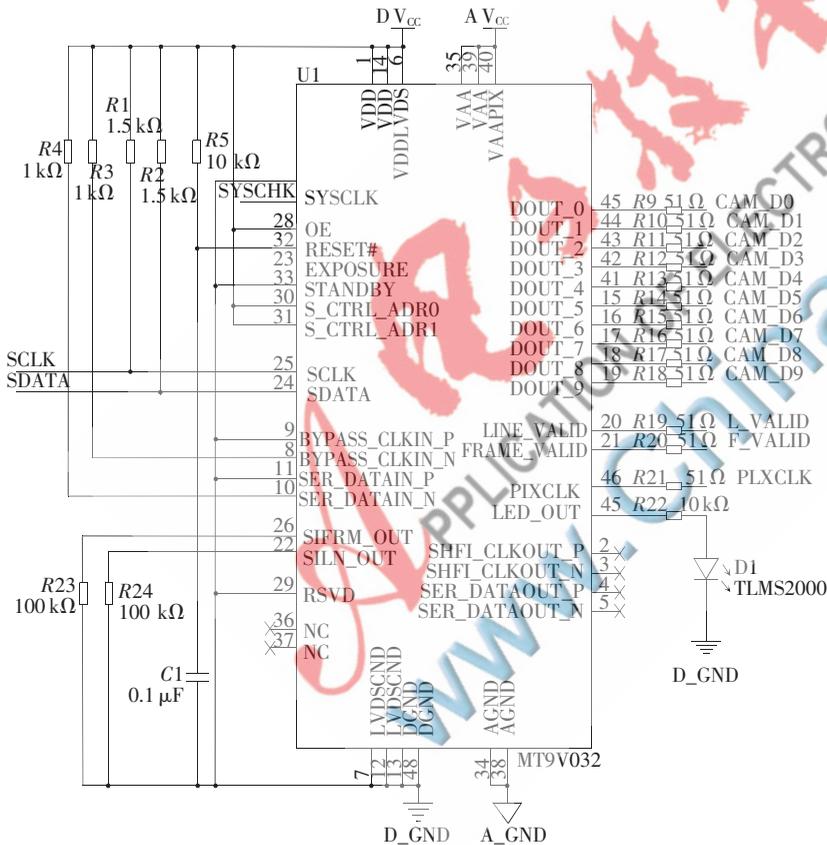


图1 CMOS 主体电路

1.2 整体电路接口设计

为减少 CPU 负荷, 系统采用了 CPLD 来实现辅助逻辑控制, CMOS 的 DOUT_0~DOUT_9、FRAME_VALID、LINE_VALID、PIXCLK、SCLK 和 SDATA 全部连到 CPLD 实现图像采集控制。CMOS 传感器输出的图像数据首先要暂存于 FIFO 中, 本系统应用的 FIFO 是 IDT72V36110,

并设置为 8 bit 输入和 32 bit 输出 (D0~D7 为 8 bit 数据输入端口, Q0~Q7、Q9~Q16、Q18~Q25、Q27~Q34 组成 32 bit 数据输出端口, 输入端 D8~D35 接地, 输出端 Q8、Q17、Q26、Q35 悬空)。由于 CMOS 传感器不断采集图像使得输出端不断有数据输出, 而此时系统要求只有在需要数据时才去获取传感器输出的数据, 因此, 本系统中传感器的输出端和 FIFO 的输入端都连到了 CPLD, 通过 CPLD 实现 CMOS 和 FIFO 数据总线的连通。图像数据从 CMOS 到 FIFO 为写 FIFO 操作, 全部通过 CPLD 实现, 因此, FIFO 的控制引脚除 EN 和 REN 外都连到 CPLD 以方便控制图像数据输入到 FIFO 中。图像采集结束后需要把 FIFO 中的数据转移到外部 SDRAM 中, 即 FIFO 的读操作和 SDRAM 的写操作 (PDT 写操作), 由于传输的数据量大, 为了减少 CPU 的开销并提高传输速度, 本系统利用了 TMS320C6414 的 PDT 传输功能。因此, FIFO 的读使能 EN 和输出使能 REN 连到 DSP 的 APDT, 读时钟 RCLK 连到 DSP 的 AECLKOUT1, FIFO 的数据输出引脚 (Q0~Q7、Q9~Q16、Q18~Q25、Q27~Q34) 则与 DSP 的 EMIFA 的低 32 bit 相连。CMOS 传感器采用默认的设置即 480 V×752 H (36 096 万像素), 为达到图像处理的容量需求, 系统利用两片外部同步动态随机存储器 (SDRAM) MT48LC2M32B2-5 并联构成 64 bit 接在 DSP 的 EMIFA 上, 并通过 ACEO 映射到 CEO 空间, 其所有的输入与输出均由输入时钟 CLK (接到 DSP 的 AECLKOUT1 脚) 来同步^[4-5], 从而简化了系统的设计, 增强了高速处理器接口的能力。本系统电路接口如图 2 所示。

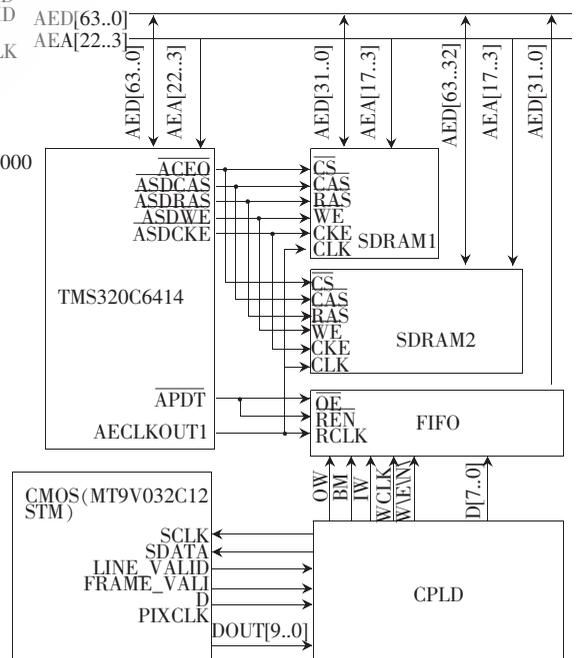


图2 全局电路接口设计

2 系统程序设计

2.1 图像采集部分程序

当系统需要采集一幅图像数据时, DSP 发出获取图像命令, CPLD 对该命令进行译码, 然后检测 CMOS 的帧信号管脚 FRAME_VALID, 当有一个上升沿到来时, 表明一幅新图像数据传输开始; 当 CMOS 的行信号管脚 LINE_VALID 有一个上升沿到来时, 表明一幅图像中的新的一行数据传输的开始; 当 CMOS 的点信号管脚 PIXCLK 有一个上升沿到来时, 表明有一个点的数据可以采集, 其波形图如图 3 所示。CPLD 根据这 3 个信号把数据写入到 FIFO 中。

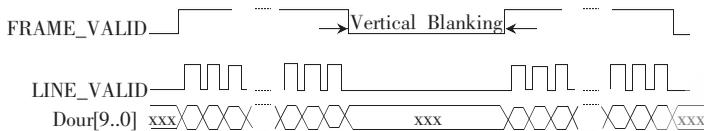


图 3 CMOS 传感器数据传输波形图

图像采集的 DSP 部分程序为:

```

/*FIFO 控制指令定义 */
#define CPLD_CMD(cmd) ((*(uint16_t *)
0x6c020330)=cmd)
#define FIFO_WRITE_ON CPLD_CMD(0x27)
#define FIFO_MASTER_RESET_ON CPLD_CMD(0x21)
#define FIFO_MASTER_RESET_OFF CPLD_CMD(0x22)
#define FIFO_PARTIAL_RESET_ON CPLD_CMD(0x23)
#define FIFO_PARTIAL_RESET_OFF CPLD_CMD(0x24)
/*FIFO 复位(局部复位)*/
FIFO_PARTIAL_RESET_ON;
_delay_ms(1);
FIFO_PARTIAL_RESET_OFF;
/*FIFO 初始化(全局复位)*/
FIFO_MASTER_RESET_ON;
_delay_ms(1);
FIFO_MASTER_RESET_OFF;
/* 开始采集 */
FIFO_WRITE_ON;
_delay_ms(50); /* 这里要等待一段时间 */
/* 设置 EDMA 事件将 FIFO 里面的数据读到 SDRAM*/
EDMA_setChannel(hEdmaCha6);
图像采集的 CPLD 部分程序为:
always @(posedge iCLK or negedge iRST_N)
begin
    preFRAME_VALID<=iFRAME_VALID;
                                /* 检测帧信号的上升沿 */
    if (({preFRAME_VALID, iFRAME_VALID}==2'b01)
&& iSTART)
        begin mFRAME_VALID<=1'b1; end
    else if (({preFRAME_VALID, iFRAME_VALID}==
2'b10)) /* 下降沿 */
        begin mFRAME_VALID<=1'b0; end
    mLINE_VALID <= iLINE_VALID;
    if (mFRAME_VALID)
        begin

```

```

if (mLINE_VALID) /* 行信号有效 */
begin
    if(X_Count<10'd751)X_Count<=X_Count+ 10'd1;
else begin X_Count<=0;Y_Count<= Y_Count+9'd1;end
end
end
else begin X_Count<=0;Y_Count<=0;end
end
always @(posedge iCLK or negedge iRST_N)
begin
if (iLINE_Count == 9'd480)/*1 帧完毕停止写 FIFO*/
    mWR_ON <= 0;
if(mWR_ON && iDATA_VALID)mWEN_N<=0;
                                /*FIFO 写使能 */
else mWEN_N<=1;
end
end

```

2.2 数据传输程序设计

系统中的图像数据处理都在外扩 SDRAM 中进行, 因此, FIFO 中的数据需要先转移到 SDRAM 中。通常这种数据转移需要 EMIF 读取外设(FIFO), 然后向目标存储器(SDRAM)写, 整个过程需要两次 EMIF 操作。由于读取的数据量大, 采用常规方法将导致读取和传输效率低下。对此, 本系统将 FIFO 和 SDRAM 都挂在了 DSP 的外部总线上, 并采用了 PDT 传输进行优化, 整个过程只需占用一个 EMIF 总线周期, 从而大大提高了数据的传输速度。系统中 SDRAM 是以 64 bit 方式连接在 EMIFA 的 CE0 空间, 而 FIFO 与 EMIFA 是低 32 bit 相连, 当用 PDT 模式从 FIFO 将数据读到 SDRAM 中必然会造成数据间隔 32 bit 存放的现象, 因此本系统采用 EDMA 控制使数据成紧密排列方式。相关寄存器配置^[6-7]如下:

```

EMIFA_Config SDRAMcfg = {
0x000120B8, /*Global Control Reg.(GBLCTL)*/
0xFFFFFD3, /*CE0 Space Control Reg.(CECTL0) */
0xffffffe3, /*CE1 Space Control Reg.(CECTL1) */
0x22a28a22, /*CE2 Space Control Reg.(CECTL2) */
0x22a28a22, /*CE3 Space Control Reg.(CECTL3) */
0x47116000, /*SDRAM Control Reg.(SDCTL)*/
0x00000753, /*SDRAM Timing Reg.(SDTIM) */
0x00070529, /*SDRAM Extended Reg.(SDEXT)*/
0x00000002, /*CE0 Space Secondary Control Reg. (CESEC0)*/
0x00000002, /*CE1 Space Secondary Control Reg. (CESEC1)*/
0x00000002, /*CE2 Space Secondary Control Reg. (CESEC2)*/
0x00000002 /*CE3 Space Secondary Control Reg.(CESEC3)*/
};
EDMA_Config EDMA_camera_cfg={ /* 数据传输时参数配置 */
0x20A00005,
0x80000000,
0x01DF0178, /* 数据大小为 752×480, 每个阵列
有 376 单元的 64 bit 每单元的数据, 一共有 480 个阵列 */
0x80000000,
0x00000000,

```

```

0x00000000
};
EDMA_Config EDMA_datatidy_cfg={/* 数据整理时参数
配置 */
    0x23A00001,
    0x80000000,
    0x01DF00BC, /* 数据大小为 752×480, 每
帧大小为 752 B, 所以单元数为 752/4=188, 帧数为 480*/
    0x0007d000,
    0x00000008, /* 单元索引, 由于每个单元
都与下一个单元间隔 8 B, 所以单元索引为 8*/
    0x00000000
};

```

图像采集系统的设计分为图像获取和图像传输两部分,为提高图像采集系统的工作效率,本文设计了一种以 DSP 和 CPLD 为基础的图像采集系统,其中,CPLD 的灵活性使图像的获取变得简单,DSP 的 PDT 传输功能使数据传输变得高效。此外,本文也对接口进行了设计。调试和实验表明本系统的采集和传输速度得到了较大的提高。

参考文献

[1] 刘春保,洪镇南,张小伟,等.基于 CMOS 图像传感器

OV7720 的网络摄像机设计 [J]. 现代电子技术,2011 (4):11-16.

[2] GORDON H. 用 CPLD 进行设计 [J]. 电子设计应用, 2009, 35(3): 52-54.

[3] 卞红雨,纪祥春.TMS320C6000 系列 DSP 的 CPU 与外设[M]. 北京:清华大学出版社,2007.

[4] 李林,谢绍斌,高增来,等.基于 PDT 与 EDMA 的高速数据传输设计[J].微计算机信息,2008,(18):117-118.

[5] 王艳梅,郑成文.TMS320C6701 与 SDRAM 的接口设计[J].沈阳航空工业学院学报,2007(2):51-52

[6] Texas Instruments Incorporated. TMS320C6000 DSP enhanced direct memory access (EDMA)controller reference guide[Z]. 2004.

[7] Texas Instruments Incorporated. TMS320C6000 DSP External Memory Interface(EMIF). Reference Guide[Z]. 2004.

(收稿日期:2011-09-07)

作者简介:

钟升红,男,1988 年生,本科,主要研究方向:图像处理与模式识别。

康文雄,男,1976 年生,博士,讲师,主要研究方向:图像处理与模式识别。