

# 基于光纤通信和 PCI Express 总线的高速图像传输系统

李明伟, 刘鹏

(大连理工大学 信息与通信工程学院, 辽宁 大连 116024)

**摘要:** 提出了一种基于光纤通信和 PCI Express 总线的高速图像传输系统。分析了系统设计方案,并详细阐述了 FPGA 内部逻辑设计,包括光纤接口的数据收发以及 PCI Express 总线的 DMA 传输;简要介绍了 Windows WDM 驱动程序及 MFC 应用程序的开发;给出了系统测试结果。该系统传输速率可达 1.5 Gb/s,且具有低成本、易扩展等优点,能够满足大多数高帧高清视频图像实时传输的要求。

**关键词:** 光纤通信; 图像传输; FPGA; PCI Express; DMA

中图分类号: TN919.82

文献标识码: A

文章编号: 1674-7720(2011)24-0039-04

## High-speed image transmission system based on optical fiber communication and PCI express

Li Mingwei, Liu Peng

(School of Information and Communication Engineering, Dalian University of Technology, Dalian 116024, China)

**Abstract:** This paper presents a high-speed image transmission system based on optical fiber communication and PCI Express bus. Firstly, the paper introduces system scheme and analyses the internal logic of FPGA in detail, including data receiving and delivering on fiber channel and the DMA transfer on PCI Express bus. Then, it briefly introduces the Windows WDM driver and MFC application. Finally, it gives system test results. The system transmission rate can reach 1.5 Gb/s, which meets the need of high frame rate and high resolution image acquisition in most cases. In addition, the system is proved to be a practical design with low cost and easy expansibility.

**Key words:** optical fiber communication; image transmission; FPGA; PCI Express; DMA

高帧频和高分辨率的图像采集在高科技研究、工业、医疗、交通等众多领域有着广泛的应用,例如航天和军工中高速物体运动轨迹的捕捉、3D 动漫、视频定位和测量、高速公路交通监控等。然而,连续的图像采集将产生巨大的数据量,要实时远程传输并存储这些图像数据,就必须解决数据量的问题。

光纤通信技术具有频带宽、损耗低、抗干扰能力强等优点,广泛应用于大量数据的远程传输。与 PCI、PCI-X 总线相比,PCI Express (以下简称 PCI-E) 总线采用了串行点对点通信,传输速率有了很大提高,PCI-E 1.0 单通道的单向速率高达 2.5 Gb/s,且最大支持 32 位通道<sup>[1]</sup>。最新发布的 PCI-E 3.0 标准将单通道速率提高到了 8 Gb/s,使得 PCI-E 代替传统的 PCI 总线成为了必然的趋势。因

此,选用光纤通信技术和 PCI-E 总线进行传输系统设计,使得高速图像到计算机端的实时远程传输成为可能,且具有很大的研究和应用价值。

### 1 系统方案

系统的整体设计方案如图 1 所示,本文设计的高速图像数据用于传输前端光纤相机采集的图像数据。

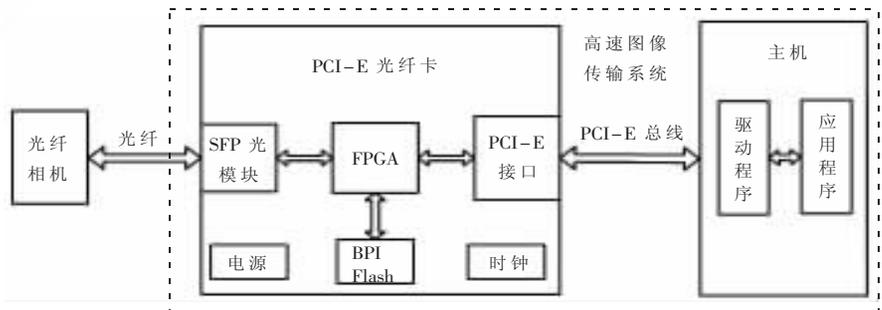


图 1 系统框架图

## 图形、图像与多媒体

Image Processing and Multimedia Technology

在硬件上,采用 Spartan-6 FPGA 为主控制器设计了 PCI-E 光纤卡,实现光模块的数据收发以及整个 PCI-E 协议,使得设计简洁紧凑且易升级。SFP 光模块完成光电信号的相互转换,BPI Flash 用于存储 FPGA 的配置数据。板上时钟源有两个,一个来自主板的 125 MHz 时钟,用于 PCI-E 协议的实现;一个是 25 MHz 的时钟晶振,通过 PLL 芯片 5 倍频后用于 FPGA 内 GTP 收发器的参考时钟。在主机端,开发了 Windows XP 下的 PCI-E 驱动程序和 MFC 应用程序,完成高速图像的接收、处理、显示以及存储等功能。

## 2 FPGA 逻辑设计

## 2.1 FPGA 总体逻辑框架

FPGA 作为 PCI-E 光纤卡的核心控制器,不仅要完成光纤接口的数据收发,还要通过 PCI-E 总线与主机通信。由此可见,FPGA 逻辑设计是系统设计的重点和难点,图 2 给出了 FPGA 内部逻辑框图。在接收图像时,SFP 光模块接收到的串行数据流先经 GTP 完成串并转换,经过必要的处理后送进 FIFO。FIFO 可编程标志位有效时,DMA 控制模块根据主机设置的参数发起 DMA 传输,按照事务层接口时序要求,组装数据包发送给 PCI-E 硬核,PCI-E 硬核通过 PCI-E 协议向主机发送数据。主机端向光纤相机发送命令的过程类似,这里不再赘述。

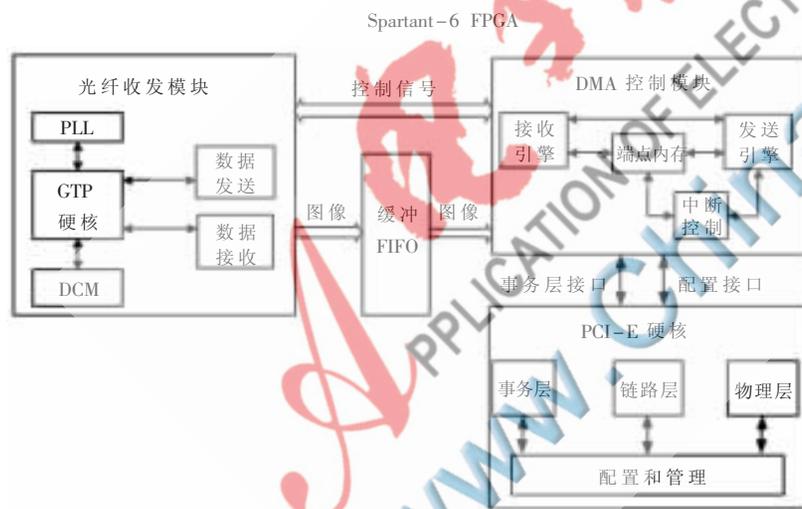


图 2 FPGA 逻辑设计框图

## 2.2 PCI-E 端点硬核介绍

系统选用的 FPGA 型号为 XC6SLX45TFGG484,它内嵌了一个 PCI-E 硬核模块,符合 PCI-E Base Specification V1.1 标准,支持 X1 通道,单向链路速率可达 2.5 Gb/s<sup>[2]</sup>。

PCI-E 硬核的顶层功能模块分为事务层、数据链路层、物理层和配置管理层四部分。事务层负责事务层数据包(TLP)的接收、缓存和发送,为了提高通信效率,还实现了 PCI 兼容的事务排序规则,并通过基于信用度的流控制协议来管理 TLP 缓冲区。数据链路层用于保证 TLP 传输的可靠性,提供了错误检测和恢复、初始化服

务、DLLP 的生成与拆解等服务。物理层使用 GTP 高速收发器实现,分为逻辑子层和电气子层:逻辑子层通过链路训练与状态指示状态机完成链路初始化、训练以及维护工作,并且实现了扰码与解扰码、8/10 bit 编码与解码等功能;电气子层负责输入输出差分信号的接收与发送。配置管理层实现了 PCI 配置空间、电源管理以及中断等功能。

PCI-E 硬核模块提供给用户四类接口:系统接口是时钟和复位接口;链路接口用于连接板卡的金手指;事务层接口用于 TLP 的发送和接收;配置接口用于配置空间的访问以及中断信号的发送。在进行 DMA 控制模块设计时,主要使用事务层接口和配置接口。

## 2.3 DMA 传输逻辑设计

PCI-E 总线的数据传输有可编程输入/输出(PIO)和直接内存存取(DMA)两种方式。PIO 方式通过 CPU 执行 I/O 端口命令进行数据读写,用于传输少量的数据。DMA 方式在无 CPU 参与的情况下对存储器进行数据读写,适合大量的数据传输<sup>[3]</sup>。为了接收大量的图像数据,实现 DMA 传输控制逻辑,分为接收引擎、发送引擎、端点内存和中断控制 4 个模块。

接收引擎用于解析从 PCI-E 硬核接收到的 TLP,包括存储器读请求 TLP 和存储器写请求 TLP,图 3 给出了接收引擎的控制状态机。系统复位后,状态机处于空闲状态(DMA\_RX\_RST),接收到数据包后,立即对数据包包头进行解析并判断 TLP 类型,然后跳转到相应状态。通过 RX\_MEM\_RD32\_QW1 和 RX\_MEM\_RD32\_QW2 对存储器读请求 TLP 的参数进行解析并通知发送模块进行响应,在 RX\_MEM\_RD32\_WT 状态等待发送模块操作完成并返回空闲状态。对存储器写请求 TLP 的操作通过 RX\_MEM\_WR32\_QW1、RX\_MEM\_WR32\_QW2 和 RX\_MEM\_WR32\_QW3 三个状态完成,在 RX\_MEM\_WR32\_WT 状态等待 TLP 完成并返回空闲状态。

发送引擎负责 TLP 的封装,完成对存储器

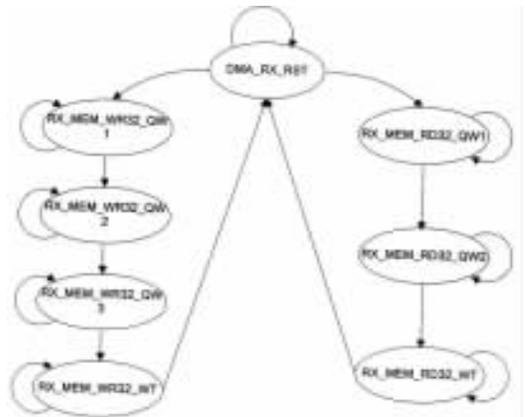


图 3 接收引擎状态机

## 图形、图像与多媒体

Image Processing and Multimedia Technology

读 TLP 的响应,并背靠背地进行存储器写 TLP 的发送。发送引擎控制状态机如图 4 所示。复位后,状态机处于空闲状态(TX\_RST\_STATE),根据条件分别发送完成 TLP 和存储器写 TLP。当收到接收引擎发来的请求信号后,立即发送完成包的包头的第一个双字,并通过 TX\_CPLD\_QW1、TX\_CPLD\_QW2、TX\_CPLD\_QW3 三个状态发送数据包的其他部分。DMA 传输的过程中,当 FIFO 可编程满标志和 DMA 写开始信号均有效时,进入 TX\_MWR\_READY 状态发送存储器写 TLP 的包头,然后通过 TX\_MWR\_QW1 和 TX\_MWR\_QW2 发送其他参数,最后在 TX\_MWR\_QW3 发送数据负载。每个存储器写 TLP 发送完毕后重新返回 TX\_MWR\_READY 状态,而每次 DMA 传输完成后进入空闲状态,等待下次 DMA 传输的开始。

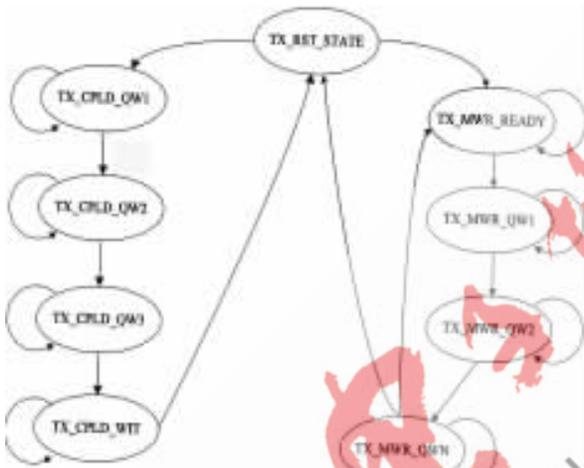


图 4 发送引擎状态机

使用 FPGA 内 RAM 块实现了端点内存,大小为 1KB,被映射到计算机的存储器空间,用于实现 DMA 控制寄存器和存储主机发给光纤相机的命令。

中断控制模块用来控制 PCI-E 硬核中断的发送和禁止,根据中断时序设计状态机实现。PCI-E 总线支持消息信号中断和传统中断。由于使用的 Windows XP 操作系统不支持消息信号中断,因此只能使用传统中断,可以通过 PCI-E 硬核配置向导进行设置。

## 2.4 光纤数据收发

光纤收发模块完成光纤路上的数据收发,包括 GTP 硬核、PLL、DCM、数据接收和数据发送 5 个子模块。

GTP 硬核模块是通过 ISE IP 核生成向导生成的,用来对 GTP 硬核进行配置。设计中,GTP 主要参数设置以及注意到的问题有:(1)参考时钟 REFCLK 使用外部提供的 125 MHz 时钟,由于 GTP 对时钟要求比较严格,一般不使用 FPGA 内部 DCM 或 PLL 产生的时钟作为参考时钟。(2)使用自定义的链路协议,链路速率为 2.5 Gb/s,使用 8/10 bit 编码。(3)comma 码的设置是链路协议传输的关键,使用 K28.5 作为 comma 码。(4)物理电气参数的设

置因外部 SFP 光模块的使用而不同,比如 TX 预加重、RX 均衡、耦合电容、差分电平摆幅等,使用时必须使用 Xilinx 提供的 IP 核 IBERT 进行测试<sup>[4]</sup>。

光纤通路使用自定义的协议:(1)链路空闲时一直发送 comma 码 K28.5,工作时发送需要的数据码。(2)传输图像时,为每帧图像添加帧头和帧尾,以定界每帧图像。发送模块负责向图像采集卡发送控制命令,用来设置图像传感器的参数。接收模块接收 GTP 输出的并行数据流,去除 comma 字符 K28.5 和图像帧头帧尾,将图像数据流写入 FIFO。

## 3 软件设计

## 3.1 驱动程序

在 Windows 操作系统中,为了保证系统的安全性、稳定性和可移植性,用户模式的应用程序必须通过驱动程序才能对硬件进行操作<sup>[5]</sup>。本设计使用 Windows DDK 开发了 PCI-E 接口的驱动程序,采用 WDM 驱动模式,支持即插即用操作。

图 5 为驱动程序开发流程。当驱动程序收到应用程序启动 DMA 传输请求后,首先设置 DMA 传输参数,然后开始 DMA 传输并等待中断产生。驱动收到中断后,如果判断是 PCI-E 光纤卡产生的,就立刻转到延迟过程调用 DPC 函数,在其中设置触发事件通知应用程序,并启动下一次传输。在本驱动程序中,申请了 8 块 DMA 缓冲区进行轮流传输,这样既可以提高 DMA 传输的效率,又方便应用程序对缓存区内的图像数据进行操作。

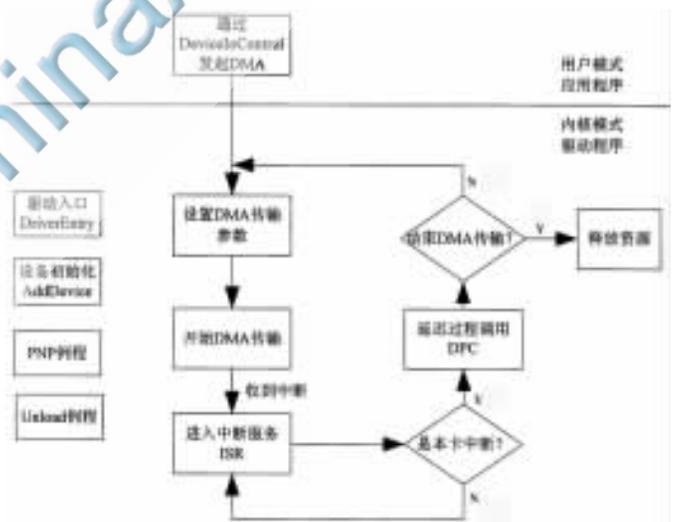


图 5 驱动程序开发流程图

## 3.2 应用程序

根据需要,使用 VC++ 6.0 开发了基于 MFC 的应用程序,完成了图像的处理、显示、存储、回放等功能。采用多线程编程,提高了程序的运行效率,在实时显示视频图像的同时,还可以完成图像存储工作。图像显示使用 DirectDraw 函数组,直接将图像数据送入显存,充分发挥显卡性能,消除了图像闪烁现象。使用固态硬盘进行

## 图形、图像与多媒体

Image Processing and Multimedia Technology

图像数据的存储,克服了普通硬盘读写速度慢的问题。在图像存储完成之后,可以对存储的视频图像进行慢放,便于对高速运动的物体轨迹进行细致观察,并且可以调整回放的帧率。应用程序的功能结构及其与驱动程序的关系如图6所示。

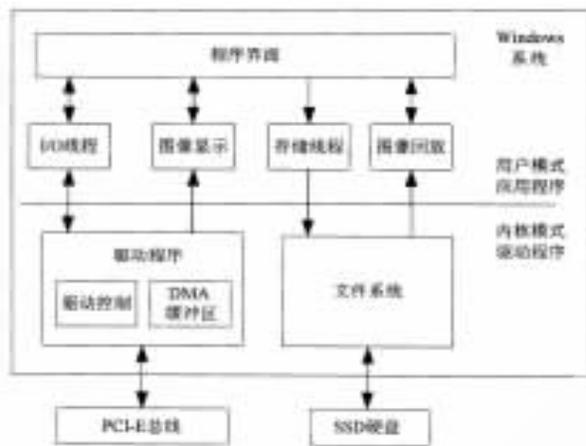


图6 应用程序结构图

## 4 系统测试

FPGA 内逻辑均采用 Verilog HDL 实现,使用 Xilinx ISE Design Suite 12.3 完成整个 FPGA 流程的开发,包括仿真、综合、布局布线、调试等。利用 Xilinx 的 IBERT IP 核进行光纤模块的测试,通过实时地改变 GTP 的各种参数来观察链路的状况。对光纤链路进行长时间测试发现,链路十分稳定,误码率比较小,基本在 $-10$ 数量级内。驱动开发前,使用 WinDriver 进行寄存器读写和中断监听,以验证 PIO 操作和中断发送的正确性。在安装了驱动程序后就可以进行 DMA 传输,传输过程中使用 ChipScope 捕获波形进行调试。

本实验使用的光纤相机最大能以 80 帧/s 的帧率采集  $1280 \times 1024$  大小的图像,其数据速率约为 563 Mb/s。主机硬件采用 Intel i5 平台的组装机,操作系统为 Windows XP SP3。经长时间连续工作测试,可以完成图像显示及储存工作,且系统工作稳定可靠。图7为系统测试时软件的工作界面。

本设计中,光纤通路的最高速率可达 2.5 Gb/s,所以系统传输速率主要取决于 PCI-E 总线的实际传输速率。由于实验中光纤相机产生的图像数据速率有限,因此在 FPGA 内产生仿真图像数据进行 PCI-E 最大传输速率的测试。经过多次测试后发现,本设计中 PCI-E 总线 DMA 传输最大速率可达 1.2 Gb/s,而理论上 PCI-E X1 通道



图7 软件工作界面

的单向传输速率为 2.5 Gb/s(考虑 8/10 bit 编码效率)。经详细分析,限制其传输速率的主要因素有:(1)系统采用中断方式,主机对中断的响应会占用一定时间;(2)PCI-E 数据包有一定的包头信息,目前使用的数据包大小为 128 B,要提高速率可以改用 512 B 数据包,但是这需要硬件平台的支持。

本文利用光纤通信和 PCI-E 总线实现了一种高速图像传输系统,选用 Xilinx Spartan-6 系列 FPGA 进行硬件设计,并开发了主机端的驱动程序和应用程序,是一套低成本的高速传输解决方案。测试表明,系统速率可达 1.2 Gb/s,且工作稳定,基本能满足大多数高清高帧视频图像的实时传输需求。

## 参考文献

- [1] BUDRUK R, ANDERSON D, SHANLEY T. PCI express 系统体系结构标准教材[M]. 田玉敏,王崧,张波,译.北京:电子工业出版社,2005.
- [2] Xilinx, Inc. Spartan-6 FPGA integrated endpoint block for PCI express user guide [Z]. 2010.
- [3] Peng Yu, Li Bo, Liu Datong, et al. A high speed DMA transaction method for PCI express devices [J]. Journal of Electronic Science and Technology of China, 2009,7(4): 380-384.
- [4] Xilinx, Inc. Spartan-6 FPGA GTP transceivers advance product specification[Z]. 2010.
- [5] ONEY W. Programming microsoft windows driver model[M]. Washington: Microsoft Press, 1999.

(收稿日期:2011-10-19)

## 作者简介:

李明伟,男,1957年生,副教授,硕士生导师,主要研究方向:精密测量仪器、嵌入式特殊图像设备等。

刘鹏,男,1988年生,硕士,主要研究方向:嵌入式系统、高速数据传输。