

基于 FPGA 的水声信号高速采集存储系统设计*

代明清,冯西安,耿云辉,李晓花

(西北工业大学 航海学院,陕西 西安 710072)

摘要: 介绍了一种基于 FPGA 的水声信号数据采集与存储系统的设计与实现,给出了系统的总体方案,并对各部分硬件和软件的设计进行了详细描述。系统以 FPGA 作为数据的控制处理核心,以存储容量达 2 GB 的大容量 NAND 型 Flash 作为存储介质。该系统主要由数据采集模块、数据存储模块和 RS-232 串行通信模块组成,具有稳定可靠、体积小、功耗低、存储容量大等特点,实验证明该系统满足设计要求。

关键词: 水声信号;数据采集与存储;FPGA;Flash

中图分类号: TP274

文献标识码: A

文章编号: 1674-7720(2011)23-0034-04

Design of underwater acoustic signals high speed acquisition and storage system based on FPGA

Dai Mingqing, Feng Xi'an, Geng Yunhui, Li Xiaohua

(College of Marine, Northwestern Polytechnical University, Xi'an 710072, China)

Abstract: The design and implementation of underwater acoustic signals data acquisition and storage system based on FPGA is introduced in this paper. It describes the overall design, hardware design and software design of the system. The control and processing core of the data is FPGA, and NAND Flash is the storage medium whose storage capacity can reach 2 GB. The system is consisted of data acquisition module, data storage module and RS232 serial communication module. The system is reliable and stable, small, and has low consumption and large capacity. The experiment shows that the performance of the system can meet the design requirements.

Key words: underwater acoustic signals; data acquisition and storage; FPGA; Flash

数据采集与存储是信号处理的一个重要环节,已被广泛应用于雷达、声纳、语音识别、图像处理等领域。随着信息技术的发展,特别是各种数字信号处理器处理速度的提高,实时处理大量的数据已经成为现实。但是,由于水下环境恶劣,实验成本高、水声信号复杂多变等不利因素的影响,水声信号的实时采集一直比较困难。根据实际问题,本文研制开发了一种基于 FPGA 和 Flash 的高速大容量数据采集存储系统。该系统采用蓄电池供电,能在水下工作,可回收,有效解决了水声信号的实时采集、存储及后期处理等问题。

1 系统总体设计

图 1 是该数据采集存储系统的总体框图。系统主要由信号调理模块、A/D 转换模块、Flash 数据存储模块和

RS-232 串行通信模块组成。FPGA 是整个系统的核心,主要完成模数转换控制、数据存储控制及数据通信控制等功能。

前端信号调理电路负责接收换能器传来的电压信号,经稳压、放大、滤波、射极跟随后,将信号转变为适合 A/D 转换的信号进行模数转换。FPGA 将读取到的 A/D 量化后的数据存入内部 FIFO 中,并将数据最终写入 Flash。RS-232 串口用来实现系统与 PC 机的通信功能,以便将 Flash 中存储的数据传给计算机进行处理。

A/D 转换芯片采用 ADI 公司的 AD9224,其转换精度为 12 bit,最高采样率可达 40 MSPS。FPGA 采用 Altera 公司的 EP1C6Q240C8,内部逻辑单元可达到 200 60 个, RAM 可达到 288 KB,拥有 240 个管脚,最大 I/O 数目为 185。Flash 采用 SAMSUNG 公司的 K9WAG08U1A 芯片,外

《微型机与应用》2011 年第 30 卷第 23 期

* 基金项目:博士点基金(20106102110011)

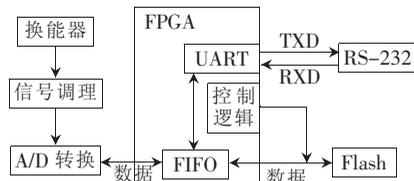


图1 系统整体框图

部接口速度为 40 MHz, 接口宽度 8 bit, 存储容量为 2 GB。

2 系统硬件电路设计

2.1 信号调理及 A/D 转换电路

水声信号在传播过程中衰减得非常严重, 换能器接收到的水声信号往往比较微弱, 一般为 μV 级信号, 不适合 A/D 转换器直接采样。因此, 必须先经过信号调理电路的处理^[1]。信号调理电路能够对目标信号进行适当的放大、滤波, 并将单端输入信号变为差分信号提供给 A/D 转换器, 以减少偶次谐波的产生。

信号调理模块的基本框图如图 2 所示。该模块主要由放大器、自动增益控制、带通滤波、差分输出几部分组成。放大器用于对信号进行初级放大, 该放大器必须选用低噪声放大器, 以降低系统噪声, 提高信噪比。本系统选用 AD797 芯片, 其电压噪声只有 $0.9 \text{ nV}/\sqrt{\text{Hz}}$ 。自动增益控制可通过改变系统放大倍数, 将输出信号稳定在一定的范围内。系统选用 VCA810 实现了自动增益控制, 其动态范围大, 可实现 -40 dB 衰减和 40 dB 的增益。带通滤波器用于实现对带外噪声的抑制, 保证信号在通带外有足够大的衰减, 以提高信噪比。本系统选用 Linear 公司的开关电容滤波器实现, 阶数为 8 阶, 通带范围为 $3 \text{ kHz} \sim 10 \text{ kHz}$ 。差分输出由差分输出放大器 OPA4277 组成, 主要是将原来的单端信号变为差分信号供给 A/D 转换器。



图2 信号调理模块框图

2.2 Flash 存储电路

Flash 芯片的数据与控制引脚均与 FPGA 相连, 由于 FPGA 没有数据总线和地址总线, 因此只能利用 FPGA 的一般 I/O 口来模拟总线。此外, 还需要使用 FPGA 的一般 I/O 口与 Flash 芯片的控制相连, 通过编程实现相应的控制功能。图 3 为 Flash 芯片与 FPGA 的连接情况。

由于 Flash 是按页存储数据的, 当写完一页后, 要重新写入下一页地址。因此, 为保证采集到的数据能及时存入 Flash, 而不至于在页与页的交替间丢失, 本系统设计了 FIFO 用于数据缓存。AD9224 的采样精度为 12 bit, Flash 的存储位宽为 8 bit, Flash 需 2 B 存放一帧数据, 低 8 bit 存储低 8 bit 数据, 高 4 bit 加补充码存储高 4 bit。另外, 在 FPGA 内设计了专门的地址发生器, 以便于合理分配 Flash 的存储空间。

《微型机与应用》2011 年第 30 卷第 23 期

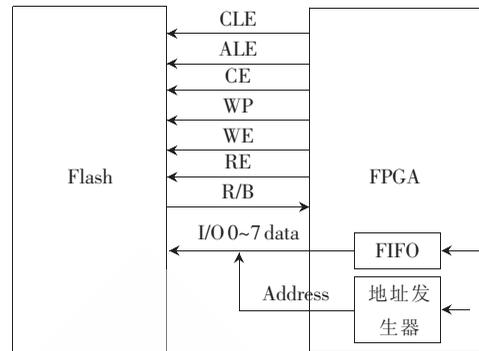


图3 FLASH芯片与FPGA接口电路

2.3 RS-232 串口电路

在串行通信中, 普遍采用的是 RS-232^[2] 接口标准, 该模块主要由 FPGA 串口模块、MAX3232 和 DB9 组成, 具体连接如图 4 所示。图中左边为 EIA RS-232-C 连接器 DB9, 与计算机串口相连, 右边 TXD、RXD 与 FPGA 中的 UART 模块相连, MAX3232 为电平转换芯片, 完成 EIA RS-232-C 正、负电压逻辑电平与 TTL 以高、低电平间的转换。

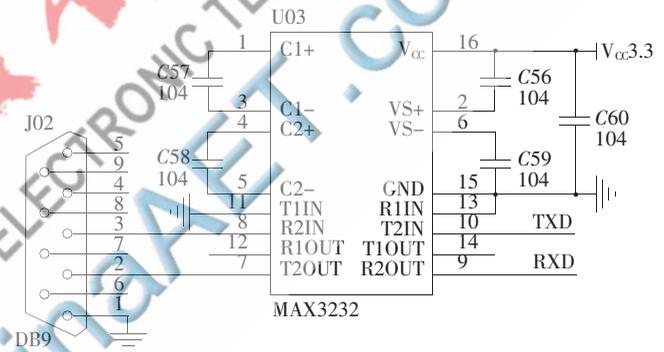


图4 RS-232 串口电路图

3 系统软件设计

本系统主要软件设计包括 FIFO、UART 及 Flash 的读、写和擦除控制。开发工具为 Altera 公司的 QuartusII 7.2, 开发语言为 VHDL^[3]。

3.1 FIFO 缓存程序设计

FIFO 是一个带有控制逻辑模块的先进先出存储队列, 控制逻辑模块能管理读写指示器, 产生状态标志。FIFO 将前端传来的数据进行缓存, 有效解决了速率匹配、数据缓冲和总线匹配等芯片间的通信问题。在本系统中, 对 Flash 芯片写控制字和写数据都需要一定时间, FIFO 容量的大小应大于该时段内所能送来的最多数据量, 以免堆栈溢出, 造成数据丢失。本设计采用的缓存为异步 FIFO, 数据位宽 12 bit, 存储深度 512 bit。图 5 为 QuartusII 环境下 FIFO 的仿真结果。

3.2 通用异步收发器程序设计^[2]

通用异步收发器(UART)用于计算机和 RS232 接口间的串行通信, 主要由接收模块和发送模块组成, 两模块均采用状态机编程实现。

接收模块的功能是将外部传来的串行数据转换为

欢迎网上投稿 www.pcachina.com

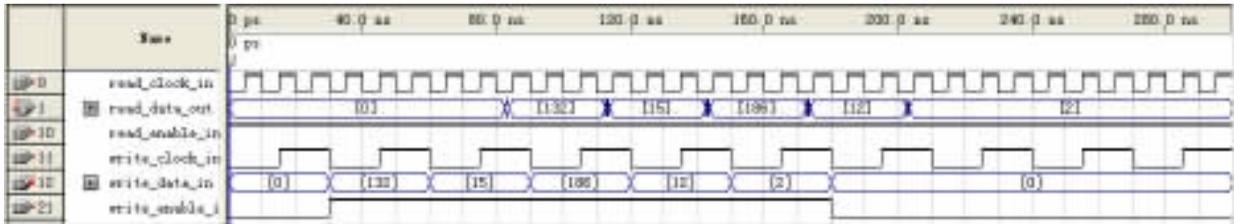


图5 异步FIFO仿真时序

字节,存储到内部FIFO中。当数据线RXD由逻辑1变为逻辑0时,数据传送开始。为防止误判,接收时钟设为波特率时钟的16倍,起始位至少要保持8个周期的低电平,才算采集到数据。起始位后面为数据位和停止位,每16个时钟周期采集1bit数据。

接收状态机由R_start(等待起始位)、R_center(求中点)、R_wait(等待采样)、R_sample(采样)和R_stop(停止位)5个状态组成,图6为UART接收状态机状态图。

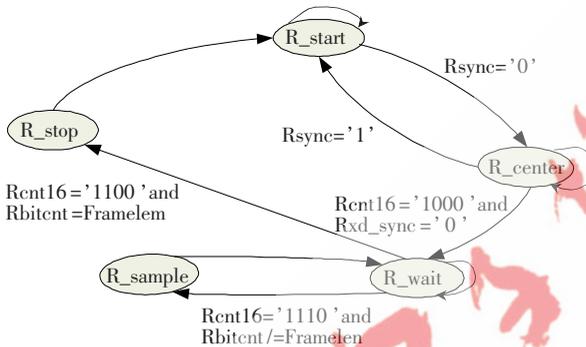


图6 UART接收状态机状态图

Rsync为数据位RXD的同步信号,没有数据时,接收机一直处于R_start状态,Rsync为逻辑1。当Rsync变为逻辑0后,状态机进入R_center状态,通过Rcnt计数到“1000”,寻找到起始数据中点,紧接着转到R_wait状态,Rcnt清零。待Rcnt再次计数到“1110”时,状态机进入R_sample状态采集第一位数据,并将该位数据存入移位寄存器,接着采集下一位数据。Rbitcnt用于判断采集到数据的位数,Rbitcnt不等于FrameLen设定的初始常数(数据位数8)时,继续采集。否则,进入R_stop状态,将移位寄存器内数据送入FIFO,结束本帧数据的采集,等待下一帧数据的到来。

发送模块的功能则是将FPGA内部传送来的字节转换为串行数据,传给PC机,该模块产生的串行数据与接收模块串行数据应具有相同的帧格式。发送模块由X_idle(空闲)、X_start(起始位)、X_wait(移位等待)、X_shift(移位)和Xstop(停止位)5个状态组成,图7为UART发送状态机状态图。

复位状态下,UART处于X_idle状态,当接收到发送命令Xcmd后,状态机进入X_start状态。在此状态下,UART给TXD发送16个时钟周期的逻辑0作为起始位,而后转入X_wait状态。X_wait、X_shift的原理与发送模块相似,实现数据的并串转换。X_stop用于产生停止

位1,停止位传送完毕后,状态机回到X_idle状态,等待下一转换命令的到来。

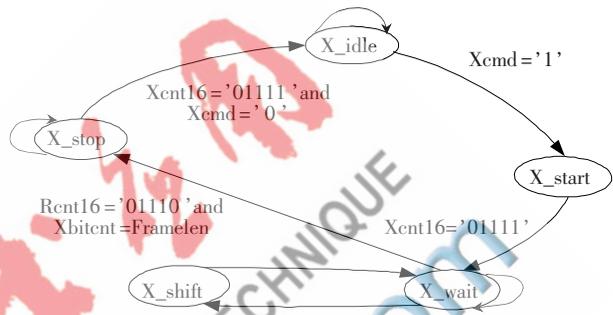


图7 UART发送状态机状态图

3.3 Flash 读、写、擦除程序设计

Flash的基本操作^[5]主要有:读操作、页编程操作和块擦除操作,各种操作必须按顺序写入相应的命令才能顺利执行。图8是Flash三种基本操作的流程图。

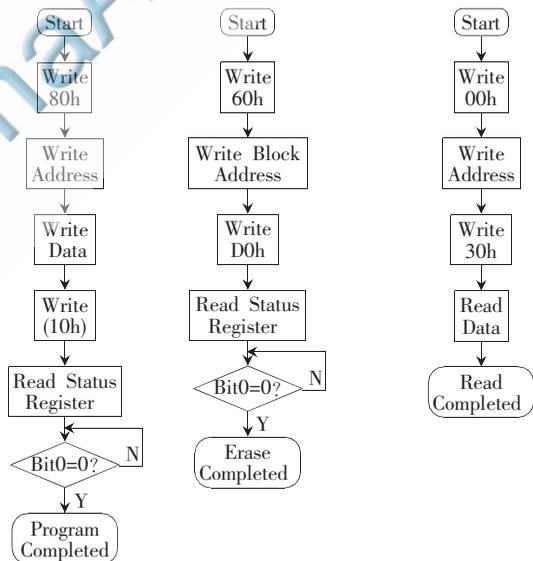


图8 Flash三种基本操作流程

Flash的编程是以页为单位的。首先写入80h,紧接着写入5个地址,然后把一页2112个数据写入数据寄存器,再写入70h命令,启动读状态寄存器,读取寄存器值,如bit0=0的表示编程成功,为1则表示编程失败。

Flash的擦除操作是以块为单位的。先写入60h命令,载入3个地址周期,再写入D0h命令,启动当前块的擦除操作。当擦除完成后,写入70h命令,启动读状态寄

寄存器,读取寄存器值,如 bit0=0,则表示擦除成功,为 1 则表示擦除失败。

Flash 在读操作时,首先将 00h 写入到命令寄存器,紧接着写 5 个地址周期和 30h 命令,即可读取相应地址单元的数据。

由于在每一片 K9WAG08U1A 中都包含有少量的不能进行读写的无效块,因而,对 K9WAG08U1A 开始读写操作之前,必须把无效块检测出来,形成无效块信息列表,并存放在 FPGA 内。SAMSUNG 公司确保每个无效块的第 1 页或第 2 页的第 2 048 列地址处会有非 FFh 的数据存在。因此,可以读取每块第 1 页或第 2 页的第 2 048 列地址处数据,若不为 FFh,则本块为无效块,需要标记出来。建立 Flash 坏块信息列表如图 9 所示。

本文介绍了一种基于 FPGA 的水声信号数据采集存储系统,对系统硬件电路和软件设计都进行了详细介绍。该系统既可以对现场信号进行采集,又可对采集到的信号进行回放,经过多次实验室调试和水池实验,系统工作正常。该系统利用蓄电池工作,存储容量大,适用于水下微弱信号的采集处理,且通道数可根据需要进行扩展,前景广阔,值得推广。

参考文献

- [1] 赵志刚. 舷侧阵主、被动自导实验系统的硬件设计[D]. 西安:西北工业大学,2007.
- [2] 王彦. 基于 FPGA 的工程设计与应用[M]. 西安:西安电子科技大学出版社,2007.
- [3] 潘松,黄继业. EDA 技术与 VHDL[M]. 北京:清华大学出版社,2007.

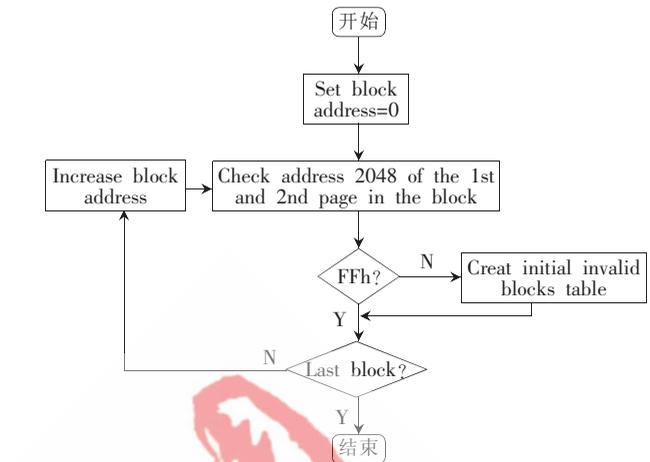


图9 Flash 坏块检查流程图

出版社,2007.

- [4] 杨夏,王平等. 基于 FPGA 的简化 UART 电路设计[J]. 微计算机信息,2008,24(23):226-227.
- [5] 刘加奎. 高速大容量存储系统设计[D]. 西安:西安电子科技大学,2008.

(收稿日期:2011-07-05)

作者简介:

代明清,男,1987年生,硕士,主要研究方向:阵列信号处理、嵌入式系统等。

冯西安,男,1962年生,教授,博导,主要研究方向:阵列信号处理、目标识别、嵌入式系统等。