

FPGA 在大幅面高速彩色喷绘机喷头接口中的应用

刘晋, 刘峰

(辽宁师范大学 计算机与信息技术学院, 辽宁 大连 116081)

摘要: 研究了基于 FPGA 的同步 FIFO 和移位寄存器, 利用同步 FIFO 作为大幅面高速彩色喷绘机喷头与上位机之间数据传输以及接口数据传输的缓存模块。该设计在保证数据传输实时性的前提下, 解决了喷头和上位机像素数据格式方向不一致的问题, 并消除了部分数据冗余。

关键词: FPGA; 同步 FIFO; 移位寄存器; 喷绘机

中图分类号: TP399

文献标识码: A

文章编号: 1674-7720(2011)23-0029-02

The application of FPGA in large format high-speed full color inkjet printer

Liu Jin, Liu Feng

(College of Computer and Information Technology, Liaoning Normal University, Dalian 116081, China)

Abstract: This paper studies the synchronous FIFO which based on FPGA and the shift register, using synchronous FIFO as the cache module of data transmission between large-format high-speed color printer heads and PC and between interfaces. This design is under the premise of the real time data transmission, solving the spray head and PC pixel data format direction inconsistent problem, and eliminating data redundancy.

Key words: FPGA; synchronous FIFO; shift register; inkjet printer

随着社会生产与研究设计对喷绘产品高速化的需求与日俱增, 传统的数字喷墨式印刷机已经不能满足这种需求。而大幅面高速彩色喷绘机无论是在数据的传输速度还是在打印的质量上都超过了传统的数字喷墨式印刷机。但是, 大幅面高速彩色喷绘机的技术并不是十分成熟, 还有许多的地方可以改进。

近年来, 随着微电子设计技术与工艺的发展, 数字集成电路从电子管、晶体管、中小规模集成电路、超大规模集成电路逐步发展到今天的专用集成电路(ASIC)。ASIC 的出现降低了产品的生产成本, 提高了系统的可靠性, 缩小了电路的物理尺寸, 推动了社会的数字化进程^[1]。数字电路设计当中用 FPGA 来实现 FIFO 的功能可以更好地解决并行性和实时性问题, 而且用 FPGA 实现的 FIFO 更容易修改和测试, 可以降低成本和缩短开发周期。

1 像素数据传输定时分析

像素数据传输时序如图 1 所示, 像素数据传输在 CLK 的同步下进行, 每次传送 256×2 bit, 使用 256 个 CLK 时钟。在传输开始前和传输结束后, CLK 应该保持高电平。每次传输完后, 等待 3 个连续的像素时钟

(PIXELCLK), 即点火信号, 3 个点火信号使存储在喷头中的像素数据完成点火输出。第一个点火脉冲有数据锁存的功能, 在该脉冲过后, 前次接收的数据完成锁存, 可以开始下一次的数据移位输入工作, 尽管此时上一次输入的像素数据还没有消耗完。因此, 可实现数据传输和点火同时进行。在第一个点火脉冲到来期间, 像素数据和像素时钟应该保持不变。

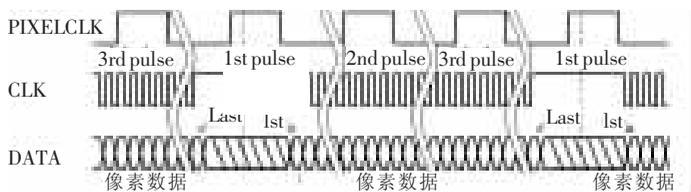


图 1 像素数据传输时序

2 像素数据格式

像素数据分为点火和不点火两种, 点火的(喷出的)像素其数据要求为 D2D1D0(D6D5D4)=111, 不点火的(不喷出的)像素要求 D2D1D0(D6D5D4)=000。因此, 实际传输时可采用两条信号线, 一条负责 D2D1D0 的像素, 另一条负责 D6D5D4 的像素, 而在数据进入喷头之前, 将

输入的 1 信号展开成 111,0 信号展开成 000 即可。这样可用两条信号线实现 6 条信号线的功能。

每次传送,一个喷头所需要的数据为 512 bit,其中,第 0 和第 511 bit 必须为 0,实际完成 510 孔数据的传送,但是数据传送使用的是 256 个 CLK 时钟,每时钟传送 2 bit。分作两条信号线传输,一条是 D2D1D0 负责 256~511 孔的数据传送,D6D5D4 负责 0~255 孔的数据传送。这就要求有一种电路,先缓冲 256~511 孔的数据,再将 0~255 孔的数据与之合并后同时传送到喷头。

如考虑图像的存储格式,喷头应该倒置,即 510 孔的位置在前,0 孔的位置在后,即实际的像素数据的顺序号与喷头的孔号相反,喷头的像素数据如表 1 所示。

表 1 喷头的像素数据

	256	255	254	...	3	2	1
D6							
D5	NZ257	NZ258	NZ259	...	NZ510	NZ511	NZ512*
D4							
D2							
D1	NZ1*	NZ2	NZ3	...	NZ254	NZ255	NZ256
D0							

3 总体实现

3.1 喷头接口模块

喷头接口模块接收来自于上位机的打印图像数据,在喷头数据时钟 clk 的同步下,向喷头送出喷头数据。依据运动控制模块传出的当前位置和自身存储的打印位置,送出点火信号 fire。

由于喷头要求将 0~255 喷孔和 256~511 喷孔的数据同时送出,因此,喷头接口应该至少能存储 512 个喷孔的数据,每喷孔 1 bit 数据,共 64 B,32 个半字(16 bit)。为保证实时性,这些数据应该通过缓冲与上位机接口,最好的缓冲就是 FIFO。其设计原理图如图 2 所示。

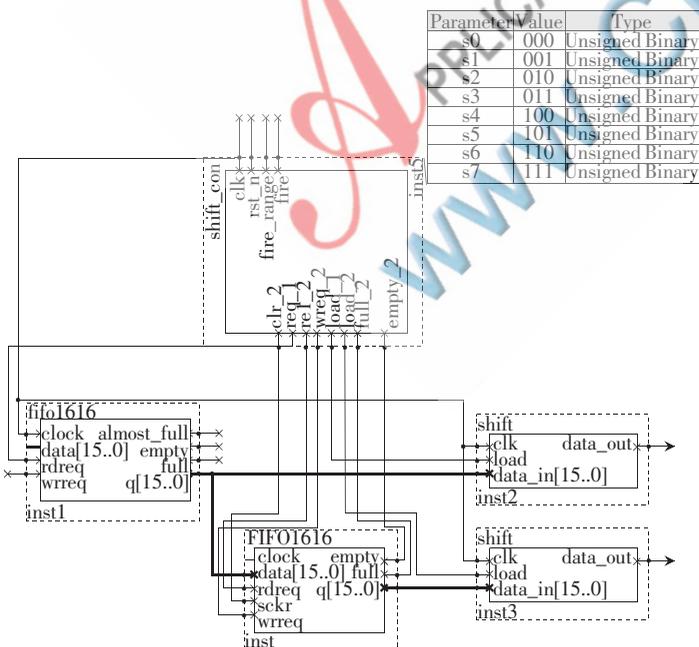


图 2 喷头接口模块原理图

3.2 移位控制器

移位控制器负责从数据缓存 FIFO1 中读出数据,并按需要的顺序装入到 FIFO2 中,在 FIFO2 装满的同时读取两个数据缓存中的数据并进行移位操作。控制器运转的另一个条件是上一个装入-点火周期完成,因此必须在检测到点火信号变为低电平后才能触发。其设计 ASM 图如图 3 所示。

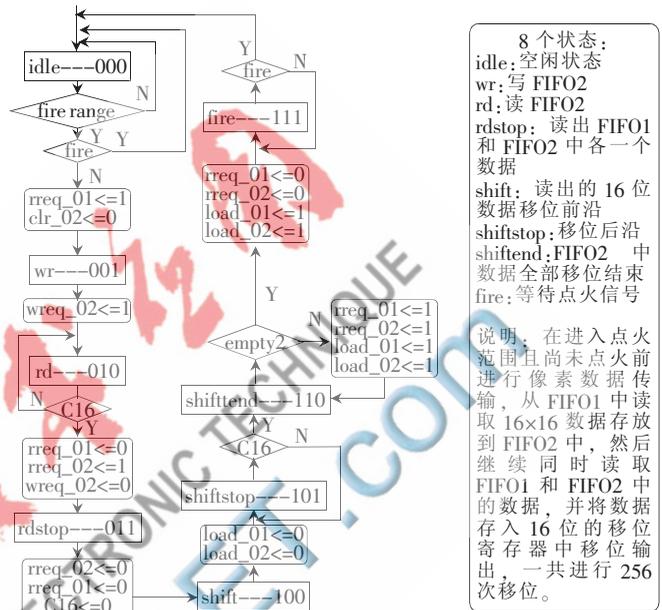


图 3 喷头像素数据移位控制时序 ASM 图

3.3 波形验证

输出控制器完成输出数据的装载和移位输出的控制。具体要求是当数据向数据缓存 FIFO1 装载已经完成并到达点火边缘时,自动进行 256 bit 数据的装载和移位,达到 0~511 孔同时装入数据的目的。然后等待点火信号,当第一个点火信号过后,就可重复装入输出。其波形验证如图 4 所示。

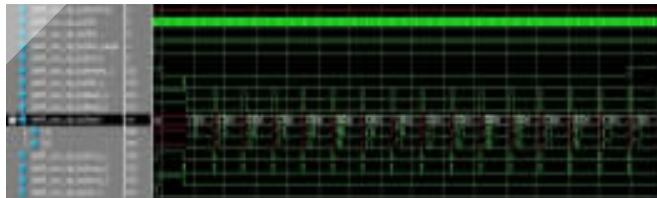


图 4 波形验证图

随着图像逐步向大格式方向发展,无论研究还是生产都对上位机和打印机之间的数据传输速度要求越来越高。因此,不仅要利用 FIFO 作为缓冲来解决喷头和上位机存在的像素数据方向相反的问题,而且要利用异步 FIFO 用不同时钟驱动读写的特性,使其自动读取 USB 芯片内的数据,从而大大提高数据传输速度,解决数据传输的实时性问题。该设计已经应用于实际开发项目中,并使大幅度高速彩色喷绘机的数据传输速率和图像正确性得到了极大的改善。

参考文献

- [1] 王诚,吴继华,范丽珍,等.Altera FPGA/CPLD 设计(基础篇)[M].北京:人民邮电出版社,2005.
- [2] 张延伟,杨金岩,葛爱学.Verilog HDL 程序设计实例详解[M].北京:人民邮电出版社,2008.
- [3] 王开军,姜宇柏.面向 DPLD/FPGA 的 VHDL 设计[M].北京:机械工业出版社,2006.
- [4] 熊红兵,陈琦.基于 FPGA 的异步 FIFO 设计与实现[J].微计算机信息,2006,2(17).
- [5] Altera Corporation.QuartusII Version 6.0 Handbook[Z].2006.
- [6] 任晓东,文博.CPLD/FPGA 高级应用开发指南[M].北京:机械工业出版社,2005.

(收稿日期:2011-07-11)

作者简介:

刘晋,男,1964年生,教授,主要研究方向:数字印刷技术与嵌入式系统设计。

刘峰,男,1983年生,硕士研究生,主要研究方向:嵌入式系统设计与 FPGA 应用设计。

