

一种基于 ASIC 的高速异步 FIFO 设计*

丁彬勇, 白雪飞, 黄鲁

(中国科学技术大学 电子科学与技术系 集成电路实验室, 安徽 合肥 230027)

摘要: 分析了异步 FIFO 的结构和关键技术, 在与利用格雷码作为异步 FIFO 指针编码对比的基础上, 提出了一种采用移位码编码方式的 FIFO, 不仅减小了亚稳态出现的概率, 也简化了电路结构, 降低了电路面积和功耗, 在此基础上也缩短了电路的关键路径, 工作频率明显提升。根据仿真和综合结果显示, 本文设计的 FIFO 工作性能稳定可靠。

关键词: 专用集成电路(ASIC); 异步 FIFO; 移位码; 亚稳态

中图分类号: TN492

文献标识码: A

文章编号: 1674-7720(2011)22-0021-03

A design of high-speed asynchronous FIFO based on ASIC

Ding Binyong, Bai Xuefei, Huang Lu

(IC Lab, Department of Electronic Science & Technology, University of Science & Technology of China, Hefei, 230027, China)

Abstract: This paper analysis the structure and key technology of asynchronous FIFO. Compared with the method of using Gray code as the pointer of asynchronous FIFO, the paper presents a method that shift code is instead of gray code. This new design has the following advantages. Firstly, the probability of occurrence in metastability is reduced. Secondly, the circuit structure, area and the power consumption are more simple, small and lower. Also, the key path of the circuit is shortened. The result is the circuit's working frequency is improved significantly. The results of simulation and synthesis shows that this FIFO is stable and reliable.

Key words: ASIC; asynchronous FIFO; shift code; metastability

在现代集成电路设计中,随着集成度的不断提升,经常会遇到数据缓存与不同时钟域之间数据传递的问题,在不同系统间如不能设计出有效的接口单元,将会产生数据传输过程中的复写、丢失和无效数据的读入等错误,同时亚稳态现象也会出现在不同时钟域之间的数据传递过程中。此时,如何实现数据高速有效的传输并克服跨时钟域间数据传递时的亚稳态成为一个关键点问题。由于异步 FIFO (First In First Out) 能够有效解决不同传输速度和不同时钟域之间数据传递的问题,异步 FIFO 在实际电路中得到广泛的运用。本文介绍一种基于 ASIC 的高速异步 FIFO 的设计和实现方案。

1 异步 FIFO 的基本功能和结构

异步 FIFO 指在不同时钟域之间,

由一个时钟域写入,待写入数据稳定之后,由另一个时钟域读出。图 1 为异步 FIFO 的基本结构框图,FIFO 的

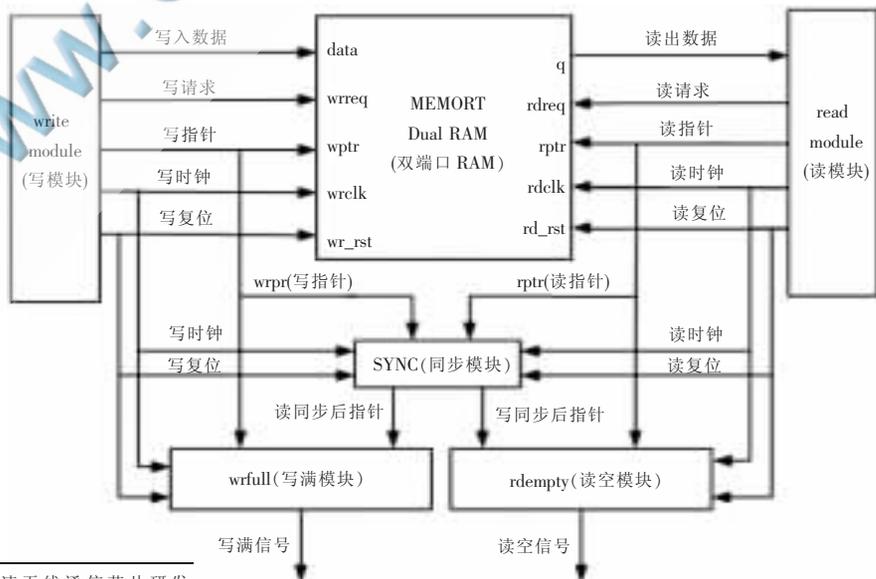


图 1 异步 FIFO 的基本结构

* 基金项目: 国家科技重大专项“脉冲体制超宽带高速无线通信芯片研发与应用示范”(2009ZX03006-009)

存储单元采用双端口 RAM 的解决方式,同步模块 SYNC 完成异步读写时钟域之间指针信号的同步过程,将同步前后的指针送到 wrfull、rdempty 模块,产生 wrfull、rdempty 信号,从而构成一个完整的 FIFO。

表 1 所示为图 1 中各信号的具体意义。

表 1 FIFO 各信号列表

信号名称	信号意义
rdclk/wrclk	读写时钟
rd_rst/wr_rst	读写复位
data/q	输入输出数据
rdreq/wrreq	读写请求
rd_ptr/wr_ptr	读写指针
rd_ptr_nxt/wr_ptr_nxt	预读写指针
r2w_ptr_sync/w2r_ptr_sync	读写同步后指针
rdempty/wrfull	读空/写满信号

2 异步信号同步的关键问题

在不同时钟域之间传递的信号,由于两个时钟之间没有清楚的相位和频率关系,很容易出现亚稳态现象。亚稳态是指触发器无法在某个规定的时间段内达到一个可以确认的状态。当一个触发器进入亚稳态时,触发器会输出一些中间电平,或者可能处于振荡状态。在数字电路中,如果将亚稳态信号直接应用于后续的组合逻辑,将会产生难以预测的结果。图 2 所示为异步时钟的亚稳态现象,图中 CLK_A 和 CLK_B 为异步时钟。

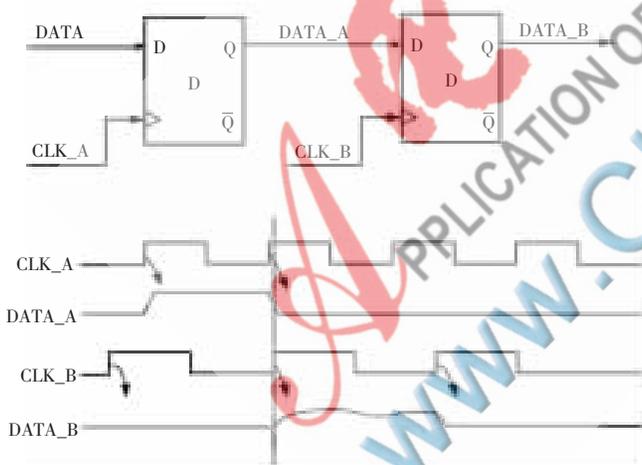


图 2 异步时钟和亚稳态

亚稳态是不可避免的,但可以采用合适的方法将其降低到一个合适的低概率水平。

首先可以从读写地址指针的编码入手。若采用传统的二进制计数,地址指针的每次增加,则有可能出现从全 1 到全 0 的所有位的同时跳变,这种情况使得出现亚稳态的概率大大增加。本文将采用一种特殊的编码方式,使得地址指针的每次增加只会有一位改变,从而减小亚稳态发生的概率。

其次可以采用两级锁存的办法。如图 3 所示,在一

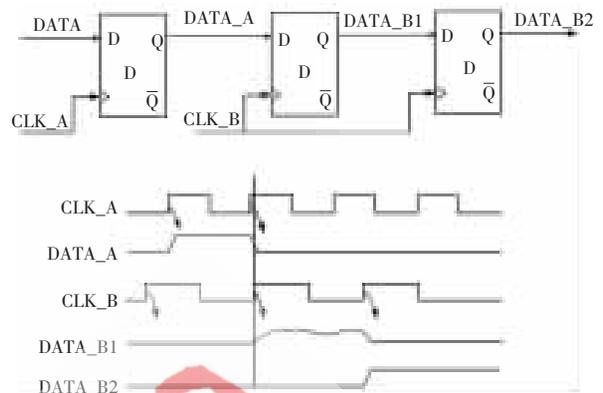


图 3 消除亚稳态的同步装置

个信号进入另一个时钟域前,将该信号用两级触发器进行锁存,即使第一级触发器的输出出现亚稳态,经过一个时钟周期之后,进入第二级触发器的信号已经稳定到一个确定的电平,从而两级锁存的输出可以有效减小亚稳态发生的概率。

3 异步 FIFO 的具体结构

3.1 读写指针

传统的 FIFO 指针编码采用格雷码编码的方式。用格雷码表示的地址指针,每次指针的增加,地址指针只会有一位发生变化,降低了指针信号跳变的次数,从而有效减小了亚稳态出现的概率^[1]。

与格雷码编码不同,本文设计的 FIFO,其指针编码采用的是一种称为移位码的编码方式,移位码的计数规则是每左移一位,将最高位取反后移入最低位^[2]。表 2 分别列出了二进制码、格雷码与移位码的对比情况。

表 2 二进制码、格雷码和移位码

二进制码	格雷码	移位码
000	000	00000000
001	001	00000001
010	011	00000011
011	010	00000111
100	110	00001111
101	111	00011111
110	101	00111111
111	100	01111111
000	000	11111111
001	001	11111110
010	011	11111100
011	010	11111000
100	110	11110000
101	111	11100000
110	101	11000000
111	100	10000000

由表 2 可知,移位码每个相邻的码字之间只有一位不同,该特性与格雷码相似,可以有效减小亚稳态出现的概率;并且移位码计数一个周期等同于二进制码计数两个周期,这在之后产生空满标志的过程中将会有很好的应用。

《微型机与应用》2011 年 第 30 卷 第 22 期

当 FIFO 的深度为 n 时, 二进制码和格雷码的码字长度是 $\log_2(n)$, 而移位码的码字长度为 n , 这也是移位码的一个缺点, 码字长, 造成电路中需要更多的寄存器, 使得电路面积增大, 不过由于计数和产生空满标志位电路的结构更简单, 使得面积又得以有效减小。移位码计数电路非常简单, 采用移位码编码的写指针计数电路如图 4 所示, 其中 wr_ptr 为时钟同步后的指针输出, wr_ptr_nxt 为下一时钟指针预输出, 读指针与之相似。

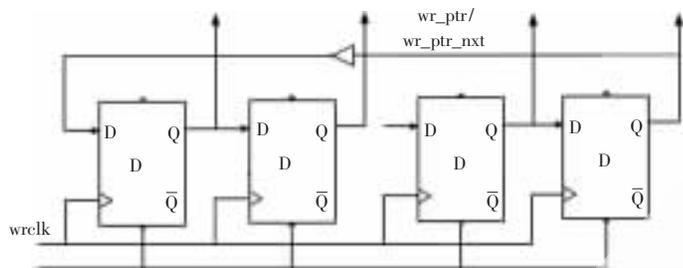


图 4 移位码写指针计数电路

3.2 存储单元

FIFO 的存储器可以采用定制的双端口 RAM 或 DFF 搭建而成。由于本文设计的 32×8 的 FIFO 存储容量不大, 所以都是采用 DFF 搭建而成。

观察表 2 的移位码可以看出, 若将当前移位码与下一位移位码异或, 即可快速得到用于存储单元的寻址信号, 以下为写地址描述, 读地址与之相似。

```
assign wr_addr = wr_ptr^wr_ptr_nxt;
```

3.3 空满标志位

空满标志位的产生, 首先要对读写指针进行同步, 同步方法即采用前文所述的三级 DFF 进行不同时钟域之间的同步。采用格雷码编码方式时, 在同步之前需将二进制地址指针转化为格雷码进行同步, 同步之后再转化为二进制码来产生空满标志位^[1], 这就使得电路结构复杂化, 无形中就增加了电路面积。而在采用移位码编码方式下, 由于移位码的每次改变只有一位发生变化, 因此直接采用两级 DFF 对其地址指针进行同步, 同步之后将同一时钟域内的读写指针进行比较就可以产生空满标志位了。

仔细观察表 2 可以看出一种产生空满标志位的巧妙方法: 当写指针等于同步到写时钟域内的读指针按位取反时, 表示写指针在多遍历一边 FIFO 的基础上追上了读指针, 即 FIFO 已满。又由于满标志的产生是因为写时钟域内的写指针的增加, 失效是由于读时钟域内读指针的增加, 所以要把满标志信号同步到写时钟域^[4], 产生 $wrfull$ 信号, Verilog 实现如下:

```
assign wrfull_temp=(wr_ptr_nxt== ~r2w_ptr_sync);
always @ (posedge wrclk or negedge wr_rst) if(~wr_rst)
wrfull <=0;
else wrfull <= wrfull_temp;
```

空标志位的产生与满标志有一点不同, 当读指针与

写指针相同时, 表示读指针追上了写指针, 且二者遍历 FIFO 的次数相同, 即 FIFO 已空, 同样也需要将空标志信号同步到读时钟域内, 其 Verilog 的描述在此不再赘述。

4 设计实现结果

图 5 所示为移位码方式实现 32×8 的 FIFO 的仿真图, 该图截取了 FIFO 从只写状态到写满的波形图, 从图 5 中可以看出, 当写指针等于同步到写时钟域内的读指针 $r2w_ptr_sync$ 按位取反时, 写满标志位 $wrfull$ 跳变为高, 且 $wrfull$ 的输出与写时钟 $wrclk$ 同步。图 6 所示为 FIFO 从只读状态到读空的波形图。由波形分析可知, 该 FIFO 很好地实现了 FIFO 先进先出及产生空满标志的功能。



图 5 FIFO 的写满标志仿真结果



图 6 FIFO 的读空标志仿真结果

将本文设计的 32×8 的 FIFO 在 SMIC $0.18 \mu\text{m}$ CMOS 工艺下进行综合, 将综合结果列于表 3。作为对比, 利用格雷码编码设计了一个同样大小的 FIFO, 也将其综合的结果列于表 3。综合时钟是 500 MHz (周期为 2 ns)。由表 3 可以看出采用移位码方式设计的 FIFO 在 500 MHz 的时钟约束下, 时序仍可以收敛, 关键路径中最差的保持时间余量 (slack) 仍为正, 而采用格雷码方式设计的 FIFO 的 slack 已经为负, 同时移位码方式设计的 FIFO 面积也比格雷码方式小, 动态功耗也有一定程度的降低。

表 3 32×8 异步 FIFO 综合结果对比

FIFO 类别	最差 slack/ns	面积/ μm^2	动态功耗/mW
移位码方式	0.12	42 015.76	12.99
格雷码方式	-0.79	54 459.82	14.56

本文设计了一种采用移位码编码的 FIFO, 采用这种编码方式, 同时解决了亚稳态和产生空满标志位的问题, 电路结构更为简单, 缩短了电路中的关键路径, 使得电路时序更加优化, 工作频率明显提升, 电路面积和功耗也有一定的降低。该种 FIFO 已用于基于 BPSK (移相键控) 调制的超宽带基带芯片中, 能稳定工作在 500 MHz 的时钟频率下。

参考文献

(收稿日期:2011-09-26)

- [1] 汪东,马剑武,陈书明.基于 Gray 码的异步 FIFO 接口技术及其应用[J].计算机工程与科学,2005,27(1):58-60.
- [2] 周敏.高速异步 FIFO 的设计和实现[J].计算机工程与科学,2009,31(2):85-87.
- [3] CUMMINGS C E,ALFKE P. Synthesis and synthesis techniques for asynchronous FIFO design with asynchronous pointer comparisons[Z].SNUG,2002.
- [4] CUMMINGS C E. Synthesis and scripting techniques for designing multi-asynchronous clock design[Z].SNUG,2001.

作者简介:

丁彬勇,男,1988年生,硕士研究生,主要研究方向:数字集成电路设计。

白雪飞,男,1977年生,讲师,主要研究方向:集成电路设计、信息安全。

黄鲁,男,1961年生,副教授,主要研究方向:集成电路设计、信息安全。

