

# S698P4 SoC 芯片多时钟及多核调度机制的研究

陈炳成,唐芳福,蒋晓华,颜 军

(珠海欧比特控制工程股份有限公司,广东 珠海 519080)

**摘 要:** 介绍了 S698P4 SoC 多核处理器的体系结构,及多时钟机制、多核调度机制,讨论了芯片工作时,多时钟机制及多核调度机制对其性能的影响。相关的技术在工程实践中已经得到验证,获得了良好的效果。

**关键词:** S698P4; 并行处理; 多时钟机制; 多核调度机制

中图分类号: TP332

文献标识码: A

文章编号: 1674-7720(2011)21-0075-03

## Research of multi-clock and multi-core scheduling mechanism in S698P4 SoC processor

Chen Bingcheng, Tang Fangfu, Jiang Xiaohua, Yan Jun

(Zhuhai Orbita Control Engineering Co., Ltd., Zhuhai 519080, China)

**Abstract:** This article mainly introduces the S698P4 SoC system structure, multi-clock mechanism and multi-core scheduling mechanism and discusses the effect the mechanism takes for the chip performance. The related technology is verified in industry, and the result it brings infers the viability.

**Key words:** S698P4; parallel processing; multi-clock mechanism; multi-core scheduling mechanism

由于性能上的需求,当前嵌入式系统已经不能满足于使用单核处理器系统,许多设计者开始考虑多核处理。但多核处理系统在带来性能提升的同时,也面临着一系列需要考虑的问题,如数据一致性问题<sup>[1]</sup>、多时钟控制问题和多核调度问题等。如果一个多核、多任务系统无法合理处理多任务需求,无法合理分配各核间的资源及工作,多核处理的优势将得不到很好的体现,严重时甚至会出现灾难性的后果。

本文以 S698P4 SoC 处理器为例,介绍在多核处理器系统中,多时钟机制及多核调度机制对芯片性能的影响。

### 1 S698P4 SoC 简介

S698P4 SoC 是基于 SPARCV8 架构<sup>[2]</sup>的高性能的 32 bit RISC 嵌入式 4 核处理器,采用 SMP<sup>[3]</sup>“对称多处理”技术,在一个内核里集成 4 个功能一样的处理器核心,各 CPU 之间共享内存子系统及总线结构。总线竞争核仲裁由硬件自动完成,不需要用户进行设置。该处理器专为嵌入式应用而设计,具有高性能、低复杂度和低功耗的特点。

S698P4 支持多核并行处理机制<sup>[4-5]</sup>,采用 eCos 实时

嵌入式操作系统。eCos 将任务队列对称地分布于多个 CPU 之上,从而极大地提高了整个系统的数据处理能力。所有的处理器都可以平等地访问内存<sup>[6]</sup>、I/O 口和外部中断。系统资源被系统中所有 CPU 共享,工作负载能够均匀地分配到所有可用处理器之上,运算速度快,数据处理量大、功耗低,性能和可靠性远高于单核处理器。

图 1 为 S698P4 结构图,S698P4 处理器内部集成了 CPU0、CPU1、CPU2 和 CPU3 4 个 S698P 核,每个 S698P CPU 内部又分别集成 32 bit 整形数处理单元、32 bit/64 bit 浮点数处理单元及 8 KB 数据缓存(data cache)和指令缓存(instruction cache)。针对实时应用的嵌入式领域,S698P4 提供了内部看门狗、定时器、中断控制器、通用 I/O 口以及串行通信接口;针对航空航天领域,S698P4 提供了 CAN 总线接口、以太网接口以及 1553B 总线。同时,为了芯片调试,芯片内部还集成了硬件调试专用接口 DSU。用户通过 DSU 可以访问 CPU 内部所有寄存器和存储器资源,也可访问外部所有存储器和 I/O 外设,为基于 S698P4 的硬件/软件调试提供方便<sup>[7]</sup>。

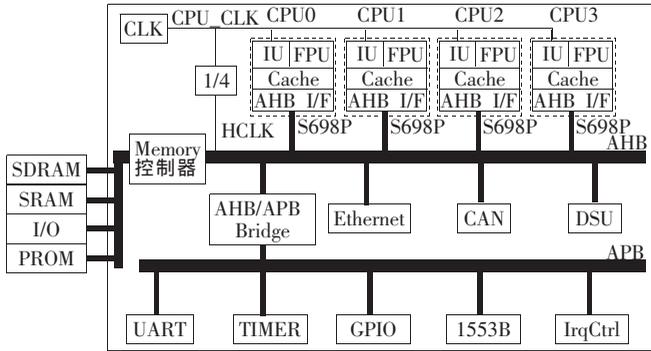


图1 S698P4 结构图

S698P4 处理器可广泛应用于航空航天的高端电子设备、海量数据处理、大规模网络应用、复杂科学计算及大型图形建模为特征的企业或行业等领域。

## 2 多时钟机制

S698P4 单核最高运行速度可达到 400 MHz，如果整个芯片都采用同一个时钟，则所有外设和板级设备都要求运行在 400 MHz 的频率上，这会增大系统设计的难度，并增加系统功耗，降低系统的稳定性。

S698P4 采用多时钟机制来平衡高速 CPU 内核和低速的外部设备之间的矛盾，在提高芯片性能的同时，避免对板级设备提出过高的要求。

S698P4 的时钟电路产生高速的 CPU 时钟 CPU\_CLK，CPU\_CLK 除了供给 4 个 CPU 内核使用外，还经过 4 分频电路，产生 HCLK 供给 AMBA 总线 and 外设使用。

S698P4 4 个内核采用同样的时钟，它们全部从 CPU\_CLK 得来，并且与 CPU\_CLK 同频、同相。

CPU\_CLK、CPU0\_CLK 到 CPU3\_CLK 和 HCLK 之间的相位关系如图 2 所示。

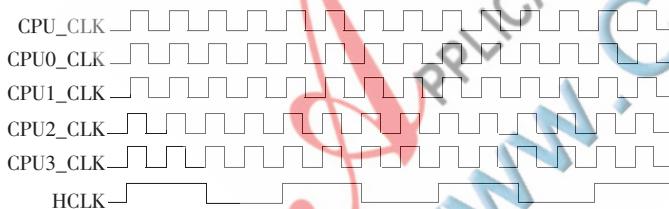


图2 S698P4 内部时钟

HCLK 的频率是 CPU\_CLK 的四分之一。在 CPU 需要访问 AMBA 总线和外设时，信号的时序需要按照 HCLK 的时序进行。如果 CPU\_CLK 运行在 400 MHz，则 HCLK 只需要运行在 100 MHz。在板级设备上，普通的 SDRAM 即可满足要求。对于其他慢速设备，则可以通过配置存储器控制器寄存器的读写等待周期解决。

## 3 多核调度机制

### 3.1 S698P4 多核中断控制

S698P4 在一个处理器上汇集了 4 个 CPU，各 CPU 之间共享一个操作系统、内存子系统、总线结构和 I/O 系统等。同时使用多个 CPU 时，从管理的角度来看，它们

的表现如同一台单机。正常启动后，所有的 CPU 无主从之分，都可以平等地访问内存、I/O 和外部中断。S698P4 各 CPU 之间的通信是通过多核中断控制器 (MP IRQCTRL) 的中断来实现的，其结构如图 3 所示。

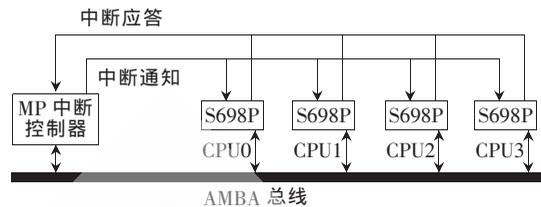


图3 S698P4 多核中断控制器

S698P4 中的每个 CPU 都可以通过多核中断控制器向其他 CPU 发中断请求，每个 CPU 都可以响应其他 CPU 的中断请求。在多核中断控制器中，有一个称为多处理器状态寄存器 (Multi-processor status register)，其后 4 位 (STATUS[3:0]) 分别控制 4 个 CPU 的状态，写入 1，其相应的 CPU 就会被激活；写入 0，其相应的 CPU 就会进入休眠。S698P4 启动时，CPU 有主 CPU (CPU0) 和从 CPU 之分，启动完之后，所有 CPU 不分主从。CPU0 的启动顺序和其他 CPU 的启动顺序是不同的，上电或者软复位后，S698P4 先启动 CPU0，其他 CPU 处于 power down 状态。在 CPU0 初始化完成后，通过设置多处理器状态寄存器启动、初始化其他 CPU，之后所有 CPU 无主从之分。多处理器状态寄存器如图 4 所示。

31	28	27					4	3	0
NCPU			"000.....000"				STATUS[3:0]		

图4 多处理器状态寄存器

S698P4 各个 CPU 均有一个称为 %asr17 的寄存器，如图 5 所示。其 31 bit~28 bit (图中 INDEX 部分) 指明当前运行的是哪个 CPU，程序可以从这个寄存器得到当前是在哪个 CPU 上运行，并作相应处理。

31	28					13	12	11	10	9	8	7	5	4	0
INDEX		RESERVER				SV	LD	FPU	M	V8	NWP	NWIN			

图5 %asr17 寄存器

在 SMP 系统中，系统资源被系统中所有处理器共享，工作负载能够均匀地分配到所有可用处理器之上。并且因为结构共享存储器、统一地址空间，使得系统编程比较容易。系统将任务队列对称地分布于多个 CPU 之上，从而极大地提高了整个系统的数据处理能力。

### 3.2 S698P4 中断源处理

S698P4 中的 AMBA 系统提供一个中断方案，中断线排成一行连同剩余的 AHB/APB 总线信号线，形成一个中断总线。来自 AHB 和 APB 单元的中断通过总线连结在一起被发送。多处理器中断控制器附属到 AMBA 总线，作为一个 APB 从设备，而且监视组合的中断信号。在中断总线上产生的中断全部被转送给中断控制器，中断控制器通过优先级区分，中断屏蔽选择，把最高优先级的中断送给处理器。

## 技术与方法 Technique and Method

中断监视器监视中断总线中的 1~15 个中断, 通过设置中断电平寄存器, 每个中断可以被指定 0 或者 1 两个电平。电平 1 中断的优先级比电平 0 中断的优先级高。而每个电平的中断也是有优先级区分的, 中断 15 优先级最高; 中断 1 则优先级最低。电平 1 的优先级最高中断将会被转送到处理器。如果电平 1 没有非屏蔽挂起中断存在, 来自电平 0 的最高非屏蔽挂起中断将会转送到处理器。

当多个处理器单独屏蔽和转送时, 中断在系统电平上有区分。多处理器系统的每个处理器有单独的中断屏蔽和强制寄存器。当一个中断在中断总线上被告知时, 中断挂起寄存器的相应位置 1, 将中断信号发送到每个 CPU 屏蔽寄存器, 为每个 CPU 进行中断屏蔽, 然后对中断进行优先级选择, 把优先级高的中断送到 CPU。

当有一个 CPU 应答中断后, 对应的中断挂起位将会自动地被清除, 中断也可以通过设置中断强制寄存器产生对应的中断。由此处理器应答后将清除强制位, 而非挂起位。复位之后, 中断屏蔽寄存器全部被设定为 0, 剩余的控制寄存器是不确定的。注意: 中断 15 能被 S698P4 处理器屏蔽, 使用时大部分操作系统不能正确处理这个中断。

S698P4 中断控制器把 S698P4 内部和外部的所有中断按照优先级先后顺序排列, 并传送给 IU。S698P4 总共有 15 个中断, 如表 1 所示。

### 3.3 S698P4 调度算法

eCos 支持对称多处理器 (SMP) 系统, 多 CPU 之间的任务调度采用多级队列调度, 主要调度算法有时间片轮转调度算法和抢占式优先权调度算法。

多级队列调度的优先级数目在调度器配置的时候给出, 最多有 32 个优先级, 0 为最高优先级。每个优先级上都有一个队列。每个队列支持多个线程。单个队列中各线程优先级相同, 同优先级线程可支持时间片轮转。

任务调度仅在激活的 CPU 上进行, 其他的调度在 4 个 CPU 都处于激活状态。当前任务数小于等于 4 个时, 系统将每个任务分配一个 CPU 上, 之后系统不会进行 CPU 间任务调度, 一直运行到结束; 当前任务数大于 4 个时, 系统才会在 CPU 间进行任务调度。

当任务大于 4 个时, 系统将进行 CPU 间的任务调度。调度算法采用时间片轮转调度算法和抢占式优先权调度算法。系统将任务就绪队列中优先级最高的 4 个任

务分配到 4 个 CPU 上, 每个 CPU 开始执行任务, 任务执行时间以时间片为单位。当时间片时间到达时会产生一个定时器中断, 当系统定时器中断产生时, 由其中一个 CPU (不确定) 接收定时中断, 接收定时中断的 CPU 必须为所有的 CPU 的时间片计数器进行操作。当某个 CPU 的时间片计数器到达 0 时, 它将给该 CPU 发送一个时间片中断。当其他 CPU 接收到时间片中断时 (S698P4 每个 CPU 都必须处理时间片), 该 CPU 比较当前任务和任务就绪表中最高优先级的任务, 如果后者的优先级比前者的优先级高, 则系统就会产生调度。CPU 把任务就绪表中最高优先级的任务调到该 CPU 上运行, 把先前的任务重新在任务就绪表排队。只要出现了另一个优先权更高的任务, 调度程序就在下一个时间片中断暂停原最高优先权任务的执行, 而将 CPU 分配给新出现的优先权最高的任务。直到当前任务数小于等于 4 个时, 系统才停止 CPU 间调度。

目前 S698P4 处理器已经成功实现了量产, 在航空航天、工业控制等领域中得到广泛的应用。实践证明, S698P4 多时钟及多核调度机制能够在发挥处理器整体性能上起到很关键的作用。

### 参考文献

- [1] 梁宝玉, 颜军, 侯雄, 等. 多核处理器 S698P-SoC 的数据一致性[J]. 航天控制, 2008, 26: 82-86.
- [2] 珠海欧比特控制工程股份有限公司. S698P4 芯片用户手册 (V2.0)[K], 2011.
- [3] ZHAO Y, HU C, WANG S, et al. An extended openMP targeting on the hybrid architecture of SMP-cluster [M]. Advances in Computer Science and Technology, 2006.
- [4] 季振洲. 并行处理与体系结构讲义[Z]. 哈尔滨: 哈尔滨工业大学, 2005.
- [5] BYOUNGRO S, ANWAR M G, YOUFENG W. Optimizing data parallel operations on many-core platforms [D]. Intel Corporation, 2004.
- [6] 唐志敏. 分布存储并行系统中的共享存储编程环境讲义 [D]. 北京: 中科院计算机研究所, 2003.
- [7] 蒋晓华, 李付海, 祁波. SPARC 体系的 S698 系列 SoC 及其应用[J]. 单片机与嵌入式系统应用, 2007(8): 84-85.

(收稿日期: 2011-06-15)

### 作者简介:

陈炳成, 男, 1983 年生, 硕士, 主要研究方向: 嵌入式系统新技术及 SoC 芯片设计技术。

蒋晓华, 男, 1978 年生, 硕士, 主要研究方向: 半导体物理技术、嵌入式系统新技术、SoC 芯片的设计及产业化。

颜军, 男, 1962 年生, 博士, 主要研究方向: 智能控制、模糊控制、高可靠嵌入式控制器、SoC 芯片的设计及产业化。

表 1 系统中断列表

中断	中断源
15	-
14	-
13	CAN 中断
12	以太网中断
11	-
10	1553 中断
9	定时器 2 中断
8	定时器 1 中断
7	外部中断 3(GPIO7)
6	外部中断 2(GPIO6)
5	外部中断 1(GPIO5)
4	外部中断 0(GPIO4)
3	UART2 中断
2	UART1 中断
1	AHB 总线错误中断