

S698P4 SoC 芯片存储器控制器的设计与实现

陈炳成,唐芳福,蒋晓华,颜 军

(珠海欧比特控制工程股份有限公司,广东 珠海 519080)

摘 要: 详细分析了 S698P4 SoC 芯片存储器控制器的控制原理,并给出相应设计方案和仿真结果。该控制器可在 32 bit 位宽模式下对存储器进行读写控制。目前该处理器已实现了量产,实际硬件测试验证了 S698P4 SoC 芯片存储器控制器的高效性能。

关键词: 存储器控制器;S698P4;位宽模式;SPARC V8

中图分类号: TP333

文献标识码: A

文章编号: 1674-7720(2011)21-0026-03

Design and implementation of memory controller in S698P4 SoC processor

Chen Bingcheng, Tang Fangfu, Jiang Xiaohua, Yan Jun

(Zhuhai Orbita Control Engineering Co., Ltd., Zhuhai 519080, China)

Abstract: This paper analyses the control theory of the memory controller in S698P4 SoC in detail and gives the corresponding scheme of design and simulation result. The memory controller could control the read and write of memory under the bit-width mode of 32 bit. Now, the processor is in lots production, and the result of test of the real hardware confirms that the memory controller of S698P4 SoC could work with high effect.

Key words: memory controller; S698P4; bit-width mode; SPARC V8

随着半导体技术的快速发展以其设计工艺的不断改进提高,集成电路的设计规模越来越大,特别是进入 0.18 μm 以下后,已经可以在一个芯片上实现几亿个晶体管的设计规模。这样规模的电路完全可以将一个完整的电子系统在单个芯片上实现^[1],于是便出现了所谓系统芯片 SoC(System-on-Chip)。系统芯片把多种功能的系统(模块)集成到一个芯片上,包括 CPU、DSP、逻辑电路、模拟电路、内存及其他电路模块等,并相互构成完整系统。同时,由于设计工艺的不断提高,处理器可达到的工作频率也越来越高,为了协调好外部存储器(包括外部 SRAM、ROM)和 I/O 等设备以及内部存储器(如片内 SRAM)与处理器的关系,必须要有高效的存储器控制器对存储器和 CPU 的工作进行协调控制。高效的存储器控制器对于处理器的整体性能发挥起着越来越重要的作用。

1 S698P4 简介

S698P4 是基于 SPARCV8 架构^[2]的高性能的 32 bit RISC 嵌入式 4 核处理器,采用对称多处理(SMP)技术,在一个内核里集成 4 个功能一样的处理器核心,各 CPU 之间共享内存子系统及总线结构,总线竞争核仲裁由硬件自

动完成,不需要用户进行设置。它专为嵌入式应用而设计,具有高性能、低复杂度和低功耗的特点。

S698P4 支持多核并行处理机制,采用 eCos 实时嵌入式操作系统。eCos 将任务队列对称地分布于多个 CPU 之上,从而极大地提高了整个系统的数据处理能力。所有的处理器都可以平等地访问内存、I/O 和外部中断。系统资源被系统中所有 CPU 共享,工作负载能够均匀地分配到所有可用处理器之上,其运算速度快,数据处理量大、功耗低,性能和可靠性远高于单核处理器。

图 1 为 S698P4 结构图,由图可知,S698P4 处理器内部集成了 CPU0、CPU1、CPU2 和 CPU3 4 个 S698P 核,每个 S698P CPU 内部又分别集成 32 bit 整形数处理单元、32/64 bit 浮点数处理单元及 8 KB 数据缓存(Data Cache)和指令缓存(Instruction Cache)。针对实时应用的嵌入式领域,S698P4 提供了内部看门狗、定时器、中断控制器、通用 I/O 口以及串行通信接口;针对航空航天领域,S698P4 提供了 CAN 总线接口、以太网接口以及 1553B 总线;同时,为了芯片调试,芯片内部还集成了硬件调试专用接口 DSU,用户通过 DSU,可以访问 CPU 内部所有

寄存器和存储器资源，也可访问外部所有存储器和 I/O 外设，为基于 S698P4 的硬件/软件调试提供方便^[3]。

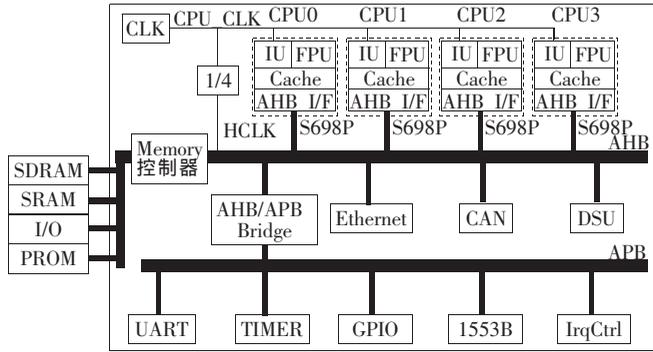


图1 S698P4 结构图

S698P4 处理器可广泛应用于航空航天、海量数据处理、大规模网络应用、复杂科学计算及大型图形建模等领域。

2 S698P4 存储器控制器设计方案

2.1 存储器地址分配

存储器控制器控制一个连有 PROM、I/O 设备，静态存储器(SRAM)和动态随机存储器(SDRAM)的存储器总线，如图2所示。存储器控制器作为从属设备挂在 AHB 总线上，存储器控制器的运作可通过软件配置“存储器配置寄存器 1,2&3”(MCFG1, MCFG2 & MCFG3)来控制，表1为存储器配置寄存器地址分配表。“存储器配置寄存器 1,2&3”的配置通过 APB 总线进行。存储器总线支持四种类型的设备，包括 PROM、SRAM、SDRAM 和 I/O。PROM、SRAM 和 SDRAM 总线只支持 32bit 模式，而 I/O 可以根据需求配置为 8、16、32 bit 模式。存储器控制器包括 2GB 空间，分成如表2所列的几个部分。

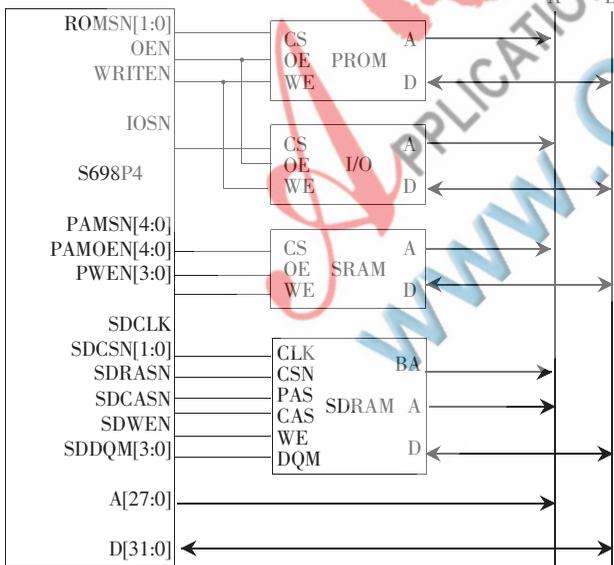


图2 S698P4 外部存储器总线接口

2.2 PROM

处理器提供两个 PROM 片选信号 ROMSN [1:0]。PROM 的访问和存储器的访问基本相似，其读/写周期时序如图3和图4所示。

表1 存储器配置寄存器地址分配表

| 地址 | 读/写 | 寄存器 |
|------------|-----|-------------------|
| 0x80000000 | R/W | 存储器配置寄存器 1(MCFG1) |
| 0x80000004 | R/W | 存储器配置寄存器 2(MCFG2) |
| 0x80000008 | R/W | 存储器配置寄存器 3(MCFG3) |

表2 存储器控制器地址分配表

| 地址空间 | 描述 | 容量/MB |
|-----------------------|---------|-------|
| 0x00000000~0x1FFFFFFF | ROM 区 | 512 |
| 0x20000000~0x3FFFFFFF | I/O 区 | 512 |
| 0x40000000~0x5FFFFFFF | SRAM 区 | 512 |
| 0x60000000~0x7FFFFFFF | SDRAM 区 | 512 |

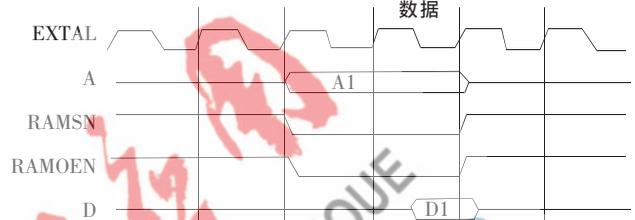


图3 PROM 读周期(0等待)

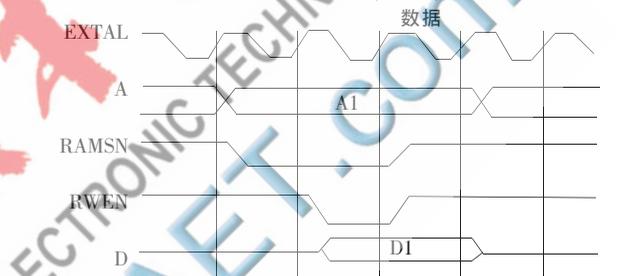


图4 PROM 写周期(0等待)

2.3 静态存储器(SRAM)

SRAM 区最高可达 512 MB，具有 5 个存储块，每块的大小在存储器配置寄存器 2 的 MCFG2[12:9]中设定，按照二进制步进算法，MCFG2[12:9]可设定为 8 KB~256 MB。静态存储器读访问包括两个数据周期和 0~15 个等待周期。在非连贯的访问中，在一个读周期后增加一个前导输出的周期，可以阻止由于存储器或者 I/O 设备的关闭时间引起的总线竞争。图5和图6为基本的读/写周期波形(0等待周期)。

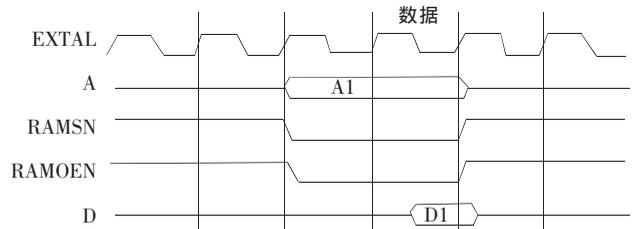


图5 SRAM 读周期(0等待)

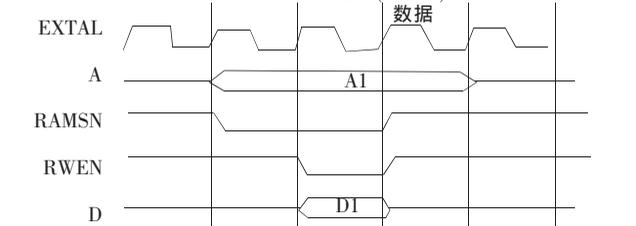


图6 SRAM 写周期(0等待)

2.4 动态随机存储器(SDRAM)

动态随机存储器访问支持两块 PC100/PC133 兼容的设备。动态随机存储器控制器带有 8~12 个列地址位,并且有最高 13 行的动态随机存储器。通过 MCFG2 和 MCFG3 控制动态随机存储器的操作。S698P4 只支持 32 bit 的数据总线宽度,每个块的大小可以编程在 512 B~4 MB 之间。为了对不同的动态随机存储器(在不同的频率)提供最优的访问周期,一些动态随机存储器的参数可以在 MCFG2 中设定。可设定的动态随机存储器参数如表 3 所示。

表 3 动态随机存储器可编程的时序参数

| 功能 | 参数 | 范围/时钟 |
|-------------------|------------|-----------|
| CAS 延迟,RAS/CAS 延迟 | tCAS, tRCD | 2~3 |
| 充电活动 | tRP | 2~3 |
| 自刷新周期 | tRFC | 3~11 |
| 自刷新周期参数 | | 10~32 768 |

2.5 输入/输出(I/O)

输入输出读写等待周期也可以在 MCFG1 中设定访问,可插入一个额外的等待周期(0~15 个周期)。处理器通过 MCFG1 决定 I/O 的数据总线宽度是 8 bit、16 bit 还是 32 bit。I/O 读/写周期如图 7 和图 8 所示。

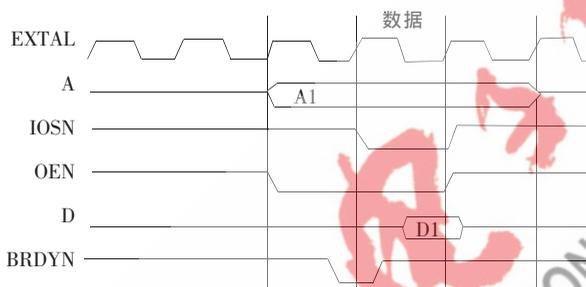


图 7 I/O 读周期(0 等待)



图 8 I/O 写周期(0 等待)

3 S698P4 存储器控制器的实现与验证

S698P4 采用 VHDL 语言进行编写,其编码风格同传统以并发执行^[4-5]的并发进程(或开发语句)作为模块,即所谓的“数据流”编码风格不一样,采用的是“二进制”的设计方法。这种编码风格克服了“数据流”编码方式的“可读性差、抽象级低、仿真时间长”等缺点。“二进制”编码风格的具体措施是:(1)所有的端口和信号声明采用记录的形式进行说明,如按输入输出分类进行记录说明;(2)每个实体只有两个进程,即组合进程和时序进程;(3)在组合进程中全部采用变量(而不是信号),以使

用结构化的顺序编码方式;(4)在时序进程中通过时钟同步进行状态的转换。

S698P4 存储器控制器代码在 Modelsim 6.2b 上能够通过功能仿真(其中外部 SRAM 读写控制仿真波形如图 9 和图 10 所示),并且在 Quartus II 以及 ISE EDA 平台上成功综合布线,烧写到 FPGA 后能够通过硬件测试。

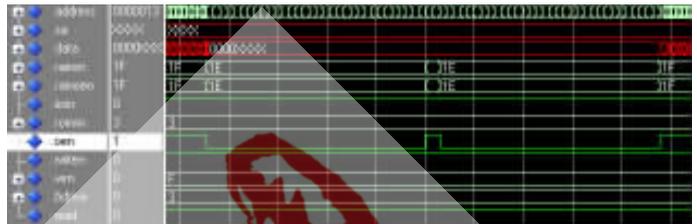


图 9 S698P4 外部 SRAM 读控制波形图



图 10 S698P4 外部 SRAM 写控制波形图

图 9 和图 10 为 S698P4 外部 SRAM 读/写控制波形图。由图 9 或图 10 可知,S698P4 存储器控制器实现了对应 RAM 片选 ramsn、ROM 片选 romsn 及 I/O 片选 iosn 输出,sa 为公用地址总线,此处没有进行配置,只用到单独的 address 地址总线,对应图 2 的地址总线 A。Data 为数据总线,对应图 2 的数据总线 D。ramoen 为 RAM 输出使能,oen 为读使能,其为低时,读出数据。

目前,S698P4 处理器已经成功实现了量产,在航空航天、工业控制等领域中得到广泛应用。实践证明,S698P4 存储器控制器能够高效地对存储器和 CPU 的工作进行协调控制,并在发挥处理器整体性能上起到很关键的作用。

参考文献

- [1] 虞希清.专用集成电路设计实用教程[M].杭州:浙江大学出版社,2006.
- [2] 珠海欧比特控制工程股份有限公司.S698P4 芯片用户手册(V2.0)[K].2011.
- [3] 蒋晓华,李付海,祁波.SPARC 体系的 S698 系列 SOC 及其应用[J].单片机与嵌入式系统应用,2007(8):84-85.
- [4] 边计年,薛宏熙.用 VHDL 设计电子线路[M].北京:清华大学出版社,2000.
- [5] PEDRONI V A.VHDL 数字电路设计教程[M].乔庐峰,等,译.北京:电子工业出版社,2005.

(收稿日期:2011-06-15)

作者简介:

陈炳成,男,1983 年生,硕士,主要研究方向:嵌入式系统新技术及 SoC 芯片设计技术。