

基于 THS1040 模数转换器的测试系统设计*

傅文渊^{1,2}, 凌朝东^{1,2}, 易磊³

- (1. 华侨大学 信息科学与工程学院, 福建 厦门 361002;
2. 厦门市专用集成电路系统重点实验室, 福建 厦门 361008;
3. 上海复旦微电子有限公司, 上海 200433)

摘要: 提出了一种针对高速高精度数模转换器的测试系统模型, 该模型运用相关采样技术, 利用 Matlab 软件和逻辑分析仪测试了模数转换器的静态性能和动态性能。与此同时, 基于 TI 公司的 THS1040 设计了测试评估板。测试结果表明, 这种系统测试模型测试出的性能参数与实际芯片性能参数误差不超过 1.17%。该模型已应用于高速视频解码芯片的后端验证测试中。

关键词: 模数转换器; 测试系统; THS1040; 性能参数

中图分类号: TN407

文献标识码: A

文章编号: 1674-7720(2011)20-0081-03

Design of test system based on the THS1040 ADC

Fu Wenyuan^{1,2}, Ling Chaodong^{1,2}, Yi Lei³

- (1. College of Information Science and Engineering, Huaqiao University, Xiamen 361002, China;
2. Xiamen Key Laboratory of ASIC system, Xiamen 361008, China;
3. Shanghai Fudan Microelectronics Group Co., Shanghai 200433, China)

Abstract: The paper presents a high-precision DAC for high-speed test system model that related the use of sampling techniques, and uses of Matlab software and tests the logic analyzer performance ADC static and dynamic performance. At the same time, based on TI's THS1040, testing evaluation board for this system is designed. The results show that the test model of the tested system performance parameters and the actual performance parameters of the chip error is less than 1.17%. This model has been applied to high-speed video decoder chip in the back-end validation testing.

Key words: ADC; test system; THS1040; performance parameters

随着集成电路设计水平的长足进步和数字电路设计技术的日趋成熟,越来越多的电子系统采用数字系统设计^[1]。与此同时,高速高精度 ADC 的出现对测试方法和测试手段提出了更高的要求。由于其高速高精度的特点,在实际应用中,能影响其性能的因素相比能影响普通模数转换器的更多,诸如驱动、时钟、接地、旁路和电源部分中的任何故障都将会导致其性能参数的严重降低^[2],从而使测试也变得更加困难。由于测试结果是系统性能评估的重要依据,因而对高速高精度 ADC 测试技术的研究具有非常重要的现实意义。

模数转换器的测试方法除了基于内建自测试^[3]外,还有使用基于快速傅里叶变换外其他的信号处理方法

进行测试研究,例如通过小波变换^[4]方法能够在 ADC 测试过程中缩短测试时间和改进测试质量;WALSH 变换^[5]对模数转换器输出进行数字处理等,但目前仅停留在理论阶段;通过观察 ADC 的静态和动态指标的测试结果,研究两者之间的联系^[6]。只用一种测试方法就试图得到所有的性能指标,从而节省测试时间和测试成本,但是实验表明这是难以实现的。除此之外,目前绝大部分的研究工作是针对已有的测试方法和测试环境进行改进,以提高测试的精度和可信性。目前这些研究大部分停留在实验阶段,尚未获得广泛的应用。

本文基于德州仪器公司的 ADC THS1040 设计了评估测试系统,确定了模数转换器测试系统各组成模块以

* 基金项目: 国家自然科学基金(60772164); 福建省科技计划项目(2011H6018)

技术与方法 Technique and Method

及各模块应满足的基本性能指标,并利用实验设备搭建了模数转换器测试系统,制定出测试方案,对 THS1040 的性能进行了评估。

1 测试系统架构模型

本文提出的模数转换器测试系统架构模型如图 1 所示。其中,时钟发生器和正弦波发生器可以同时由一台具有多路输出功能的波形发生器兼任;外部基准源往往能提供比 ADC 芯片内部基准源更加良好的性能;高性能滤波器的采用则是为了对输出信号进行滤波,限制带宽,提高线性度及噪声等;逻辑分析仪的采用是为了对输出数据进行采集和存储。如果采用适当的接口电路,逻辑分析仪将可直接与个人电脑相连,使用个人电脑上的分析软件就可以对 ADC 输出数据进行实时处理和更新,否则需要使用软盘将数据从逻辑分析仪取出,拷贝到个人 PC 上,再使用软件进行分析。模数转换器输出数据的分析软件主要是两种:一种是基于 Matlab 软件的数据处理;另外一种则是基于 NI 公司 LabVIEW 软件的数据处理。后者偏向于实时处理。由于现实情况缺乏接口设备,故本文将采用的做法是取出数据,然后使用基于 Matlab 的 ADC 测试程序进行分析,得到相应的数据分析结果。

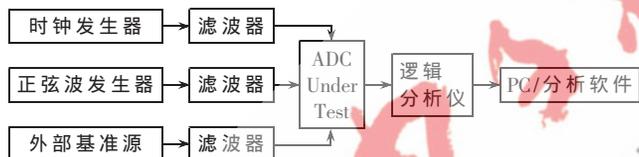


图 1 ADC 测试系统架构

1.1 输入信号发生器的设计

对于模数转换器来说,输入信号的纯度会影响数字输出的性能。输入信号中的耦合噪声转换为输出信号数字噪声,如果输入信号中有太多噪声和失真,ADC 性能实际上会被测试条件所掩盖。为了得到有意义的结果,正弦波发生器的失真至少应低于待测 ADC 20 dB,对于 10 bit ADC 而言,理想的 SNR 约为 62 dB,因此要求正弦波信号源的 THD+N 至少为 -82 dB。当信号发生器不满足噪声失真指标时,可以考虑在输入端使用较高性能的滤波器。

1.2 直流电源的设计

直流电源为整个测试系统供电,对于电源而言,最重要的指标即为稳定性和瞬态响应的能力。为了保证每个器件始终都能得到正常的电源供应,需要对电源的阻抗进行控制,也就是尽可能降低其阻抗。随着电源电压不断减小,瞬间电流不断增大,所允许的最大电源阻抗也大大降低。由于电源阻抗的要求,以往的电源总线形式逐渐不能适用于高速电路,目前基本上都是采用大面积的铜皮层作为低阻抗的电源分配系统。

在初始设计时,已经考虑到电源要求对器件选取的制约,故选取的 ADC、缓冲器、运放和晶振等均为 5 V 电

源供电,所有主要的元器件均要求供电电源为 $5\text{ V}\pm 0.25\text{ V}$,并尽可能减小纹波。此外,选用直流线性电源而非开关电源是出于提高电流驱动能力和减小输出纹波的考虑。

1.3 时钟设计

模数转换器中有两大噪声源:一个是由输入信号的量化引起的(正比于 ADC 中的位数);另一个是由时钟抖动引起的(在错误时间点采样输入信号)。根据式(1),在非过采样 ADC 应用中,量化噪声将限制最大可能的信噪比(SNR)值。

$$SNR = 6.02N + 1.76\text{ dB} \quad (1)$$

其中, N 为模数转换器的分辨率, SNR 为模数转换器的信噪比。

因此,理论上一个 10 bit ADC 可以提供 61.96 dB 的 SNR。根据以下等式,采样时钟上的任何抖动都会进一步降低 SNR。

$$SNR_j = 20\log\left[\frac{1}{2\pi f_m t_j}\right] \quad (2)$$

其中, SNR_j 是受抖动限制的 SNR, f_m 是模拟输入频率, t_j 是时钟抖动的均方根(rms)值。

采用时钟抖动等于 8 ps 的采样时钟数字化 70 MHz 的模拟信号,可以得到接近 49 dB 的实际 SNR,相当于将 10 bit ADC 的性能降低到了约 8 bit。时钟抖动必须小于 2 ps,才能取得等效于 10 bit ADC 的 SNR。为了达到 10 bit ADC 的 SNR,考虑到 ADS822 的孔径延时为 1.2 ps,对于输入 20 MB 的正弦信号,时钟抖动必须达到 7.8 ps。

设计中考虑使用高性能的板上时钟发生器为 THS1040 提供时钟,虽然这样会使后续处理只能采用加窗的非相关采样办法。本文采用了 UT 公司的 CSX750PCC 40.000 MHz 晶振,它是 SMD 器件,5 V 电源供电,最大边沿时间为 4 ns,支持最大 CMOS 输出负载为 25 pF,价格便宜,符合 THS1040 测试设计的要求。

2 系统测试

针对上述提出的系统架构模型,本文进行了实际测试实验。实验的仪器设备为:多功能函数发生器、交直流稳压电源用表、双路稳压稳流电源(0~32 V/0~3 A×2 双路)、逻辑分析仪。计算机硬件指标为:Pentium Dual-Core T4200(2.00 GHz) CPU;2.00 GB RAM;320 GB 硬盘。计算机软件为 MATLAB 7.6。

本文设计的测试系统实物如图 2 所示。数模转换器的各项指标是在满足一定的幅度和频率条件下进行测试的,随着信号幅度和信号频率的变化,ADC 的指标也会随之发生一定的变化,为此,必须对 THS1040 进行不同幅度、不同频率和不同输入方式下的测试。保持接插件 JL1、JL2、JL3、



图 2 系统测试实物图

技术与方法 Technique and Method

JL5 和 JL6 开路, 连接 JL4, 从而选择 ADC 的输入范围为 $1.8 V_{pp}$, 内部基准开始工作。将 J1 连接信号源并正确设置 JU1 与 JU2 跳线, J2 连接时钟源并正确设置 JU3, 同时将逻辑分析仪的连接器与评估板输出排针相连, 便可测试 THS1040 单端输出交流耦合时不同频率和幅度下的性能。

为了测试 THS1040 差分输入下的情况, 令 J2 接信号源, 设置时钟输入: $V_{pp}=5 V$, $V_{offset}=2.5 V$ (TP6 测试); 信号输入: $V_{pp}=1 V$, $V_{offset}=2.5 V$ (TP5 测试), 在满足上述条件下的逻辑分析仪的输出结果如图 3~图 4 所示。其中, 除四通道为时钟显示, 从 0~11 通道依次显示 THS1040 从最高有效位(MSB)到最低有效位(LSB)的测试结果。

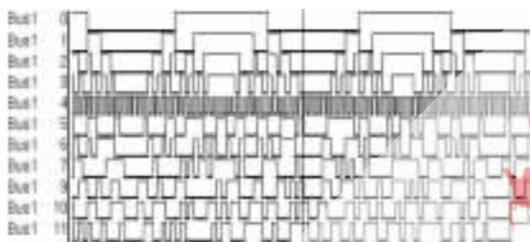


图 3 $f_{clk}=2 \text{ MHz}$, $f_{sin}=50 \text{ kHz}$ 时的测试结果

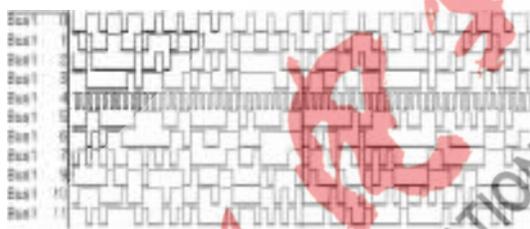


图 4 $f_{clk}=3.268 \text{ MHz}$, $f_{sin}=1 \text{ MHz}$ 时的测试结果

为了测试 THS1040 单端输入下的情况, 令 J1 接信号源, 设置时钟输入: $V_{pp}=5 V$, $V_{offset}=2.5 V$ (TP6 测试); 信号输入: $V_{pp}=2 V$, $V_{offset}=2.5 V$ (TP4 测试), 在满足上述条件下的逻辑分析仪的输出结果如图 5~图 6 所示。

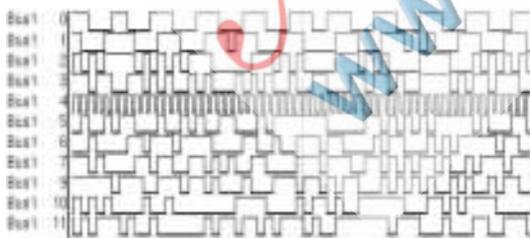


图 5 $f_{clk}=3.268 \text{ MHz}$, $f_{sin}=1 \text{ MHz}$ 时的测试结果

根据逻辑分析仪输出的数据, 用 Matlab 编写相应的程序, 得到 ADC 的动态性能参数 SFDR、SNR、SINAD、THD 和静态性能参数 INL、DNL 和 ENOB 等。测试的输入信号为 1 MHz , 采样信号频率为 3.268 MHz , 具体的性能参数见表 1。由表 1 可见, 本文测试的数据与实际芯片测试性能偏差不超过 2%, 尤其是动态性能测试, 实

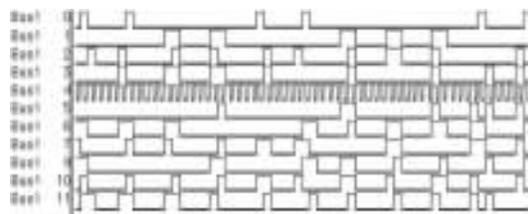


图 6 $f_{clk}=2 \text{ MHz}$, $f_{sin}=200 \text{ kHz}$ 时的测试结果

表 1 系统测试结果对比

	SFDR/dB	SNR/dB	THD/dB	SINAD/dB	ENOB/bit	DNL(LSB)	INL(LSB)	失码
本文测试模型	69.72	57.33	72.30	59.61	9.48	0.89	1.51	无
TI 测试模型	70.00	57.00	-72.50	60.00	9.50	0.90	1.50	无
两者误差比/%	0.40	0.57	0.30	0.65	0.21	1.10	1.17	0

际误差不超过 0.65%。

本文基于相关采样技术, 利用 Matlab 软件和逻辑分析仪完成了模数转换器的静态性能和动态性能的测试。并基于 TI 公司的 THS1040 模数转换器, 组建了高速模数转换器测试系统, 编制了相关的测试软件, 设计了相应的评估板, 如图 2 所示。同时完成了模数转换器的动态性能与静态性能的测试。测试结果表明, 这种系统测试模型测试出的性能参数与实际芯片性能参数能较好地吻合。

参考文献

- [1] VIVIENNE S, DANIEL F, MAHMUT E, et al. A 0.7-1.8-mW H.264/AVC 720p video decoder[J]. IEEE J, Solid-State Circuits, 2009(12): 2943-2956.
- [2] AZA IS F, BERNARD S. Correlation between static and dynamic parameters of A-to-D converters: In the view of a unique test procedure[J]. Journal of electronic testing: Theory and Applications, 2004(20): 375-387.
- [3] Li Hongzhi. A BIST(built-in self-test) strategy for mixed-signal integrated circuits[M]. Germany: The Technical University of Munich, 2004.
- [4] YAMAGUCHI T, SOMA M. Dynamic testing of ADCs using wavelet transforms[C]. International test conference, 1997.
- [5] LIBERALI V, MANSTRETTAL A, TORELLI G. Dynamic characterization of A/D converters using fast walsh transform [J]. Microelectronics Journal, 2000(31): 83-90.
- [6] THOMAS E. Linnenbrink, Instrumentation and measurement-ADC testing part[M]. American: IEEE Instrumentation & Measurement magazine, 2006.

(收稿日期: 2011-02-24)

作者简介:

傅文渊, 男, 1983 年生, 硕士, 讲师, 主要研究方向: 混合信号电路、智能电网及智能电表、信号处理与系统电路。