

一种 13 bit 40 MS/s 采样保持电路设计*

杨 骁, 刘 杰, 齐 骋, 凌 朝 东

(华侨大学 信息科学与工程学院, 福建 厦门 361021)

摘 要: 设计了一个用于 13 bit 40 MS/s 流水线 ADC 中的采样保持电路。该电路采用电容翻转结构, 主运算放大器采用增益提高型折叠式共源共栅结构, 以满足高速和高精度的要求。为减小与输入信号相关的非线性失真以获得良好的线性度, 采用栅压自举开关。采用电源电压为 3.3 V 的 TSMC 0.18 μm 工艺对电路进行设计和仿真, 仿真结果表明, 在 40 MHz 的采样频率下, 采用保持电路的 SNDR 达到 84.8 dB, SFDR 达到 92 dB。

关键词: 采样保持电路; 电容翻转结构; 增益提高; 栅压自举开关

中图分类号: TN43

文献标识码: A

文章编号: 1674-7720(2011)20-0030-03

Design of a 13 bit 40 MS/s sample-and-hold circuit

Yang Xiao, Liu Jie, Qi Cheng, Lin Chaodong

(College of Information Science and Engineering, Huaqiao University, Xiamen 361021, China)

Abstract: A 13 bit 40 MS/s sample-and-hold circuit for the pipelined A/D converters is designed. Capacitor flip-around architecture and gain-boosting folded cascade operational transconductance amplifier are adopted to achieve high resolution and resolution. In order to reduce the nonlinearity related to input signal, a bootstrapped switch is used. The S/H circuit is designed and simulated in TSMC's 0.18 μm CMOS process at 3.3 V supply voltage. Simulation results show that SNDR of 84.8 dB and SFDR of 92 dB are achieved at 40 MHz sampling rate.

Key words: Sample and hold circuit; capacitor flip-around architecture; gain-boosting; bootstrapped switch

近年来, 随着通信和多媒体市场的快速增长, 数字系统无论在处理能力还是处理速度上都取得了飞速的发展, 因此对作为模拟信号通向数字信号桥梁的模数转换器(ADC)的性能要求也越来越高^[1]。在各种 ADC 结构中, 流水线 ADC 在速度和精度上能够达到合理的折衷, 因此得到了广泛应用。在流水线结构 ADC 中, 其前端采样保持电路是整个系统的关键模块之一, 其性能直接决定了整个 ADC 的性能^[2]。

本文对流水线 ADC 的采样保持电路的结构以及主要模块如增益提高型运算放大器电路、共模反馈电路和开关电路进行了分析, 并对各个模块进行了设计, 最终设计出一个适合于 13 bit 40 MHz 流水线 ADC 的采样保持电路, 仿真结果表明, 该采样保持电路满足设计要求。

1 采样保持电路结构

采样保持电路的结构直接决定了采样保持电路的精度和速度, 图 1 为常用的两种全差分结构: 电荷再分

布型和电容翻转型。全差分结构能够很好地消除直流偏置和偶次谐波失真, 并抑制来自衬底的共模噪声。

与电荷再分布型结构相比较, 电容翻转型结构的反馈系数为 1, 是电荷转移型(在 $C_s=C_f=C$ 时, 反馈系数为 0.5)的两倍, 因此在同样的闭环带宽时, 电容翻转式结构所要求的运放单位增益带宽 (GBW) 只是电容电荷再分布式 GBW 的一半, 所以电容翻转型结构具有功耗小的优点^[3]。另外由于电荷再分布型电路需要使用 4 个电容, 但电容翻转型只需要 2 个电容, 在 CMOS 工艺中, 电容需要大的实现面积, 电容翻转型结构具有小的实现面积。因此, 电容翻转型更适合高速高精度的流水线 ADC 应用, 本文的采样保持电路采用电容翻转式结构来实现。

2 增益提高型放大器的设计

运算放大器是整个采样保持电路中最重要模块, 它的增益和带宽直接决定了采样保持电路的精度和速度。但增益和带宽是相互矛盾的, 高增益要求使用多级放大器、小的偏置电流、长沟道器件; 而大带宽则要求使

《微型机与应用》2011 年 第 30 卷 第 20 期

* 基金项目: 福建省自然科学基金(2010J05135); 华侨大学基本科研业务费专项基金 (JB-ZR1128)

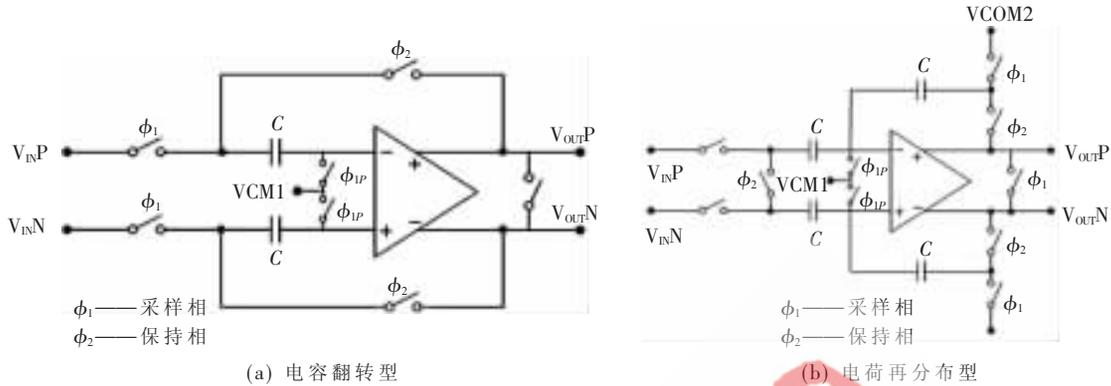


图 1 两种全差分采样保持电路结构

用单级放大器、大的偏置电流、短沟道器件,所以放大器是采样保持电路设计的一个难点。

本文主运算放大器采用全差分的折叠式共源共栅结构,并用增益提高技术来提高放大器的增益,达到了高增益和大带宽的要求^[4-5]。主运算放大器电路如图 2 所示,由于 NMOS 管的迁移率高于 PMOS 管,在跨导相同的情况下,NMOS 管具有较小的面积,从而使得运算放大器具有较小的输入电容,有利于提高采样保持电路的反馈系数,所以本文采用了 NMOS 管作为输入对管的折叠式共源共栅结构。两个辅助运算放大器 BN 和 BP 分别为 NMOS 和 PMOS 管作为输入对管的折叠式共源共栅放大器。图 2 中的 CMFB 模块为主运算放大器的共模反馈电路,由于主运放的输出摆幅较大,所以采用如图 3(a)所示的开关电容共模反馈电路,开关电容共模反



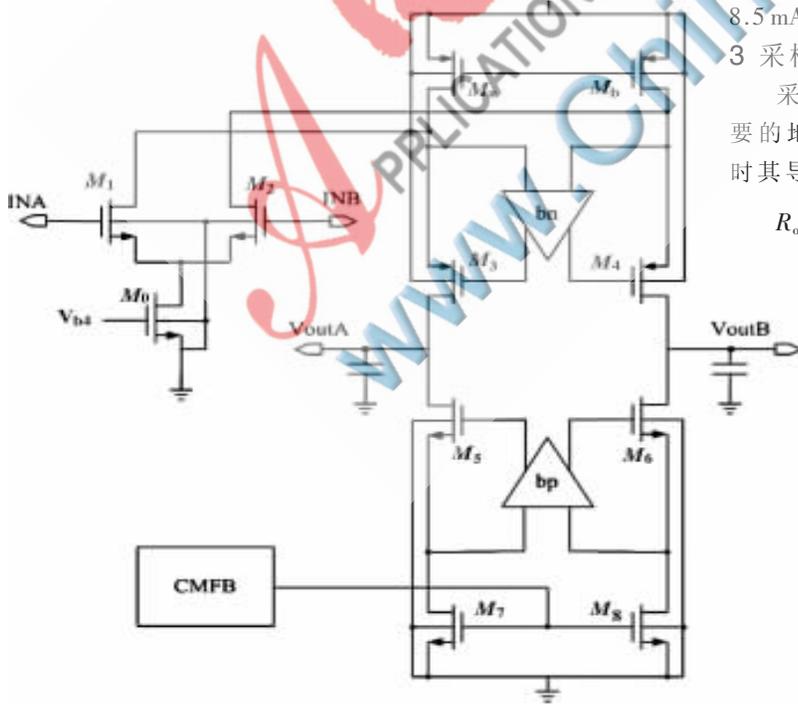
图 3 共模反馈电路

馈不会受输出摆幅产生限制,并且其只有静态功耗。对于两个辅助运放而言,由于其输出和输入范围很小,所以采用如图 3(b)所示的连续时间共模反馈电路,这种电路没有电容,节省了面积。图 2(b)为主运算放大器在负载电容为 6 pF 时的频率特性曲线,其增益为 133 dB,带宽约为 478 MHz,相位余度为 59.7 度。整个放大器(包括偏置电路、辅助运放、共模反馈电路)消耗的平均电流为 8.5 mA。

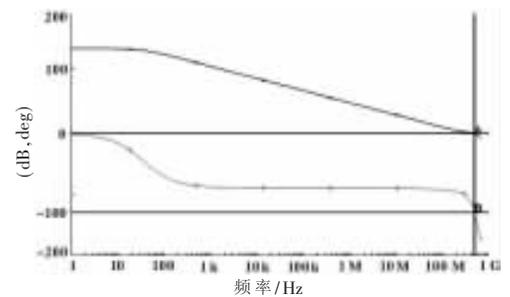
3 采样开关的设计

采样开关的性能在采样保持电路中占有十分重要的地位,对于一个简单的 NMOS 开关,开关导通时其导通电阻 R_{on} 为:

$$R_{on} = \frac{1}{\mu_n C_{ox} \frac{L}{W} (V_g - V_{in} - V_{TH0})}$$

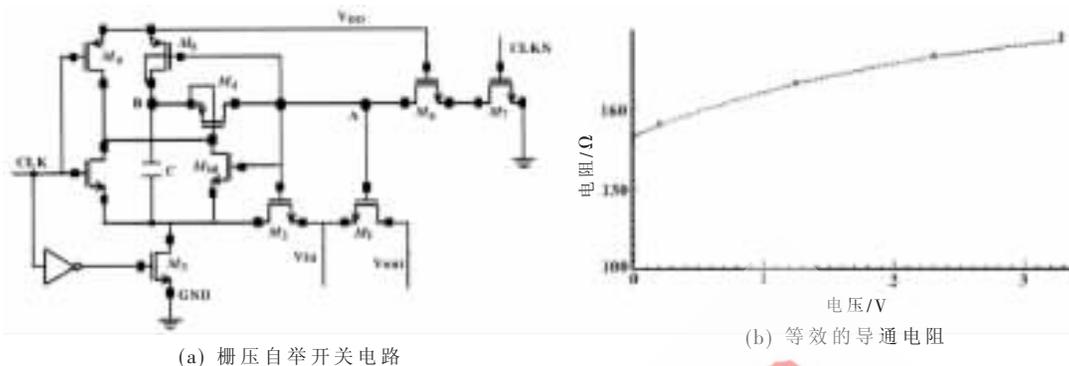


(a) 主运算放大器电路图



(b) 主运算放大器幅频曲线

图 2 增益提高型折叠式共源共栅放大器



(a) 栅压自举开关电路

(b) 等效的导通电阻

图4 栅压自举开关

$$= \frac{1}{\mu_n C_{ox} \frac{L}{W} (V_{DD} - V_{in} - V_{TH0})}$$

可见, 导通 R_{on} 是一个与输入信号 V_{in} 相关的非线性电阻, 这将在输出信号中引入谐波失真^[5]。本文采用如图4(a)所示的栅压自举开关, 开关的导通电阻随输入信号幅值变化的曲线图如图4(b)所示, 曲线的斜率大约为 $11 \Omega/V$, 其导通电阻随输入信号幅值的变化较小, 具有较高的线性度。

4 仿真结果

采用 TSMC 的 $0.18 \mu m$ 工艺对电路进行了设计, 电源电压为 $3.3 V$, 采样时钟为 $40 MHz$, 采用 Spectre 对电路进行了仿真。在采样保持电路的输入端加一值为 $1 V$ 的阶跃信号, 其瞬态仿真结果如图5所示。从图中分析得出, 在保持相结束时刻, 采样保持电路的输出幅值为 $1.000 08 V$, 与理想电压的误差为 $0.08 mV$, 建立精度达到了 0.008% 。图6所示为信号的频谱分析, 输入峰-峰值为 $2 V$, 频率为 $1.992 1875 MHz$ 的正弦信号。对输出信号进行 $4 096$ 点的 FFT, 结果显示, 其 SNDR 为 $84.8 dB$, SFDR 为 $92 dB$, 有效位数为 $13.8 bit$, 能够胜任 $13 bit$ $40 MHz$ 流水线型 ADC 对前端采样保持结构的要求。整个采样保持电路消耗的平均电流为 $8.501 mA$ 。

本文设计了一个高速高精度的采样保持电路, 可作为 $13 bit$ $40 MHz$ 流水线型 ADC 的前端模块。该采样保持电路为电容翻转结构, 采用栅压自举开关提高了开关

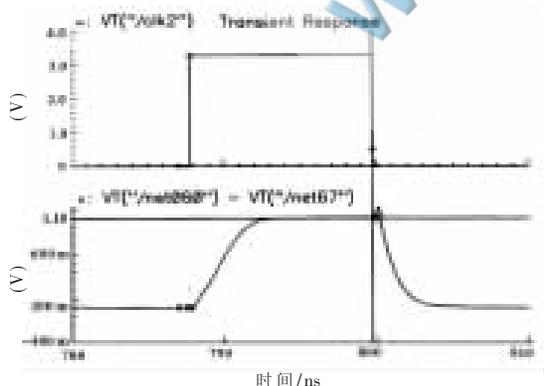


图5 瞬态仿真结果

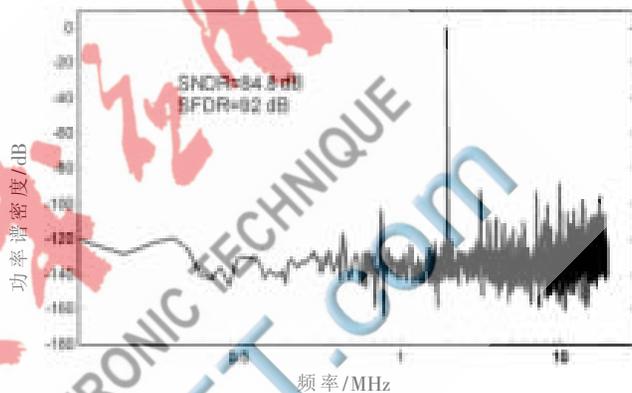


图6 信号的频谱分析

的线性度, 其运算为增益提高型的折叠式共源共栅结构, 达到了高速高增益的要求。仿真结果表明, 整个采样保持电路的精度和速度满足了设计要求。

参考文献

- [1] 谭珺, 唐长文, 闵昊. 一种 $100 MHz$ 采样频率 CMOS 采样保持电路[J]. 微电子学, 2006, 36(1): 90-93.
- [2] 陈美娜, 戴庆元, 朱红卫, 等. 用于 10 位 $100 MS/s$ 流水线 A/D 转换器的采样保持电路[J]. 微电子学, 2007, 37(1): 89-92.
- [3] 戴澜, 姜岩峰, 刘文楷. 12 位 $50 MHz$ 流水线 ADC 采样保持电路实现[J]. 微电子学, 2010, 40(4): 503-505.
- [4] YUAN J, FARHAT N, VAN DER SPIEGEL J. A synthesis tool for high performance gain-boosted opamp design[J]. IEEE Trans Circ and Syst, 2005, 52(8): 1535-1544.
- [5] 毕查德·拉扎维. 模拟 CMOS 集成电路设计[M]. 陈贵灿, 译. 西安: 西安交通大学出版社, 2002.

(收稿日期: 2011-07-31)

作者简介:

杨骁, 男, 1978 年生, 讲师, 博士, 主要研究方向: 模拟集成电路设计、混合信号集成电路设计、射频集成电路设计、信号处理。