

基于 SPCE061A 和 FPGA 的音频信号分析仪

朱继珍, 赵建军, 吴健

(昆明理工大学 理学院, 云南 昆明 650500)

摘要: 传统的完全由单片机控制的音频信号分析仪由于实时性差、稳定性不好等缺点而无法得到广泛应用。本文设计的基于 FFT 方法的音频信号分析仪, 通过快速傅里叶变换(FFT)把被测的音频信号由时域信号转换为频域信号, 将其分解成分立的频率分量, 利用 FPGA (EP2C8Q208C8N) 实现 FFT 算法, 由凌阳单片机 SPCE061A 控制分析结果的显示等人机交互接口功能。

关键词: 音频信号; FFT; FPGA; SPI

中图分类号: TP302.1

文献标识码: A

文章编号: 1674-7720(2011)20-0033-04

Design of audio frequency analyzer based on SPCE061A and FPGA

Zhu Jizhen, Zhao Jianjun, Wu Jian

(Kunming University of Science and Technology College of Science, Kunming 650500, China)

Abstract: Because of the traditional audio frequency analyzer based on MCU is deficient in timeliness and stability, it is very difficult to get practical application. This paper designed an audio frequency analyzer based on FFT technique. Through Fast Fourier transformation (FFT), a signal is converted from time range signal to frequency range signal, then we decomposed it to the separation frequency component. We achieve the FFT algorithm by FPGA (EP2C8Q208C8N), and we control the indication of Analyse result by SPCE061A.

Key words: audio signal; FFT; FPGA; serial peripheral interface

音频信号分析仪利用频谱分析原理分析被测音频信号的频率、频谱及波形。常用的频谱分析方法有: 扫频法、数字滤波法、FFT 法。随着电子技术的发展, 需要分析的频率越来越高, 这就对分析仪的处理速度有一定的要求, 可编程逻辑器件加上 MCU 方案是一种优先方案, 本系统设计可应用于音频制作、信号分析等领域, 具有一定的科学价值和实用价值。

1 系统设计分析

输入语音信号经放大处理后直接送入 FPGA 开发板上自带的 AD 模数转换芯片进行处理, 再经由 FIR 滤波器滤波, 然后进行 FFT 运算, 单片机完成分析结果的显示控制, SPCE061A 单片机与 FPGA 之间采用一种高速、全双工、同步的 SPI 通信总线进行数据通信。把采集和运算都交给 FPGA 处理, 从而充分利用了 FPGA 内部的逻辑资源并引入 FIFO 模块很好地解决了单片机与 FPGA 之间的运算速度匹配和存储空间问题, FFT 模块进行 2 048 个点运算需要的时间不超过 6 200 个时钟周期。

2 设计系统理论分析与软硬件设计

2.1 采集信号调理放大

音频信号在进行 A/D 转换之前要进行合理的放大和量化处理, 本模块采用两片 OP07 构成一级跟随器和一级同相放大电路, 主要用于实现系统阻抗变换和弱信号放大。由于 AD 转换芯片的模拟输入端口为容性负载, 对输入信号会造成严重的波形失真, 采用两级运放可以消除误差, 同时达到阻抗匹配的目的。信号输入电压为 100 mV~5 V, 为达到 A/D 转换器最佳的转换电压需要对待测量信号进行放大和阻抗变换。

2.2 A/D 转换

FPGA 核心板上采用的 AD 芯片 TLC549 是 TI 公司生产的一种性价比非常高的 8 位 A/D 转换器, 根据奈奎斯特采理论 (Nyquist theory), 采样频率的高低是由模拟信号本身的最高频率决定的。采样频率不应低于模拟信号最高频率的两倍, 本系统使用的 A/D 转换器最高工作频率可达到 85 kHz, 被测信号的最高频率为 10 kHz。根据理论计算 A/D 采样率达到 20 kHz 即可, 但在实际应用中一般都为 4~8 倍, 考虑到系统的频率精确度, 实际

硬件纵横

Hardware Technique

取采样率确定为 40 kHz。

2.3 FIR 数字滤波器

语音数据经过 A/D 转换之后进入芯片,首先对其进行滤波。为了使信号的频谱趋向平坦,需要对其进行预加重滤波,这里采用一阶 FIR 滤波器:

$$H(z)=1-\mu z^{-1} \quad \mu \approx 0.937.5 \quad (1)$$

差分方程表示为:

$$s[i]=s[i-1]-\mu \times s[i-1] \quad 0 \leq i \leq N \quad (2)$$

语音信号虽然是一种非平稳信号,但在短时内(10 ms~30 ms)可以看作是平稳的,这样就可以对其进行分帧处理。在实时系统中无法确定语音的长度和大小,只能对其进行动态分帧。考虑到帧的连续性,采用交叠分帧,帧移取 0.5,硬件中可以用两个 FIFO 实现,其中 FIFO1 的读时钟频率是写时钟的两倍,且 FIFO2 的读写时钟频率与 FIFO1 读时钟频率相同。

本系统设计的 FIR 截止频率为:5 Hz~10 kHz。本设计采用 VHDL 硬件描述语言设计的 8 bit FIR 设计模块如图 1 所示。

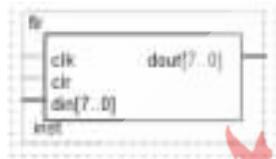


图 1 FIR 模块设计图

2.4 FFT 运算模块设计

本系统以 Altera Cyclone II 系列的 EP2C8Q208C8N FPGA 器件作为 FFT 运算核心,拥有 8 000 个 LE 的逻辑资源可以充分满足运算需要,以及 128 MB 的 SDRAM, 32 MB 的 Flash 的存储器资源,这些特点为实现运算量相对庞大的 FFT 运算、功率测量等提供了极好的硬件支持。

本系统基 4 FFT 算法,采样点数 $N=2048$,窗函数长度为 50 ms,输出 512 点。本设计采用了 Altera 公司的数字信号处理 IP Core—FFT-V9.0 实现 FFT,考虑系统要求,一次进行 2048 点实数数据的 FFT 转换,并对转换结果进行求模平方运算;高吞吐量四输出基-4FFT 引擎,并行支持多倍单输出和四输出引擎;具有多路 I/O 数据流模式:流(streaming)、缓冲触发(BufferedBurst)以及突发(Burst);模块浮点结构,可在处理过程中保持最大数据动态范围。

FFT 的 IP 核可以通过定制参数来使用两种不同的引擎结构:四输出或单输出引擎结构。为使转换时间更快,系统采用了四输出引擎结构。四输出是指在内部 FFT 蝶形处理器的吞吐量,这种引擎实现结构在一个单个时钟周期内计算所有四个基-4 蝶形复数输出。通过在 Quartus_ II 中 MegaWizard Plug-in Manager 调用的 FFT 模块如图 2 所示。

2.5 SPI 接口设计

SPI 总线设备以其接口简单、传输可靠、高效等特点被广泛应用,SPI 总线是 Motorola 公司提出的一种同步串行外设接口协议,包括主/从两种模式,用于单片机与

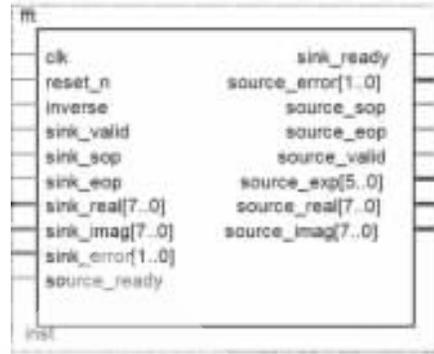


图 2 FFT 模块设计图

FPGA 进行全双工、同步串行通信。SPI 可以同时发出和接收串行数据。它只需 4 条线就可以完成单片机与 FPGA 的通信。该总线占用的接口线少、通信效率高同时它有标准的传输协议,传输速度快,SPI 总线接口使用的 4 条信号线分别为:

- (1) 串行时钟信号线 SCLK,由 SPCE061A 单片机分频得到;
- (2) 主机输入/从机输出数据线 MISO;
- (3) 主机输出/从机输入数据线 MOSI;
- (4) 低电平有效的从机选择信号线 CS。

SPCE061A 与 FPGA 的 IO 引脚连接入如图 3 所示。

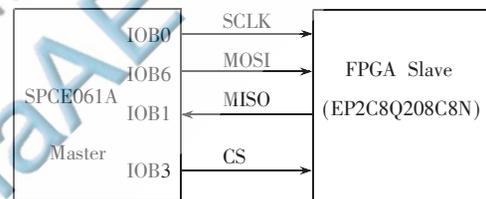


图 3 SPCE061A 与 FPGA 的通用 IO 脚连接

SPCE061A 单片机的工作频率在 0.32 MHz~48.152 MHz, FPGA 设计的工作频率为 50 MHz。由于高速率可以采样到低速率信号的变化,当 FPGA 采样到片选信号 CS 的变化后,开始采样其下降沿,SPI 接口在主器件的移位脉冲下,高位在前,低位在后。数据按位传输。

由于 SPCE061A 单片机本身不具有 SPI 接口,这里设计利用 SPCE061A 单片机的通用 I/O 口模拟 SPI 总线时序进行串行通信的方式实现与 FPGA 的数据通信。系统采用 SPCE061A 作为主控制器,FPGA 作为从设备,使用单片机的通用 I/O 接口控制 FPGA,由 SPI 总线时序实现数据读写语音数据操作。

SPI 接口设计的部分参考代码如下(x 根据实际需要确定):

```
unsigned int SPI_Sendx_Receive (unsigned int data16, unsigned int x, unsigned int LSB0_MSB1, unsigned int clk_SENT-nRE)
{
    //1. data16 中低 x 位有效,LSB0_MSB1 为 1 高位先发(为 0,低位先发)
```

《微型机与应用》2011 年 第 30 卷 第 20 期

硬件纵横

Hardware Technique

//2. 接受 x 位数据,先收到的在高位,后收到的在低位.

//3. clk_SENTnRE=1,上升沿发送数据,下降沿接受并更新数据;

// clk_SENTnRE=0,上升沿接受并更新数据,下降沿发送数据.

```

unsigned int i,position,recieve=0;
if(LSB0_MSB1)           //如果是 1,高位先发
{position=15;
data16<<(16-x);        //使要发送的 x 位数据的
                        //第一个数据移到最高位
}
else position=0;
  clk=! clk_SENTnRE;
  for (i=0;i<x;i++)
{recieve<<=1;
data_out=Get_Bit(data16,position);
                        //先将要输出的数据发送到端口
recieve=data_in;      //发送前先接收一位数据
clk=clk_SENTnRE;      //发送数据
if(LSB0_MSB1)
data16<<=1;
else
data16>>=1;
clk=! clk_SENTnRE;    //更新数据
}
return recieve;
}

```

系统采用 128X64 液晶,由凌阳单片机控制分页显示各个参数值。

2.6 功率谱测量

信号经过 A/D 转换以及滤波器处理后再进行 FFT 运算处理即得到信号频谱,根据频谱即可求得各个参数,所以 FFT 是运算的核心部分。

设 $x(n)$ 为 N 点有限长序列,直接计算 DFT,运算量较大。若 $N=2^M$, M 为整数,按 n 的奇偶把 $x(n)$ 分解为两个 $N/2$ 点的子序列: $x_1(r)$ 为偶序列, $x_2(r)$ 为奇序列。

则 $X(k) = \sum_{r=0}^{N/2-1} x_1(r)W_{N/2}^{rk} + W_N^k \sum_{r=0}^{N/2-1} x_2(r)W_{N/2}^{rk}$, 即一个 N

点 DFT 可以分解为 $N/2$ 个点的 DFT 运算。进行 FFT 运算必须对序列进行加窗处理,即,加窗后的 DFT 是:

$$V(k) = \sum_{n=0}^{N-1} v(n)e^{-j\frac{2\pi}{N}nk}, \quad 0 \leq k \leq N-1 \quad (3)$$

假设窗函数长度 L 小于或等于 DFT 长度 N , 为进行 FFT 运算,这里选择 N 为 2 的整数次幂。离散频率函数第 k 点对应模拟频率为: $f_k=k/NT$, 则数字域频率间隔 $\Delta\omega=2\pi/N$ 对应的模拟域谱线间距为: $F=1/NT=f_s/N$ 即为频谱分辨率。

应用上面讨论的 FFT 算法计算 $x(n)$ 的频谱,得到 $X(k)=X_R(k)+jX_I(k)$ 写成极坐标形式: $X(k)=|X(k)|e^{j\arg[X(k)]}$

式中, $|X(k)|$ 为幅度谱, $\arg[X(k)]$ 为相位谱。功率谱的定义为:

$$PSD(k) = \frac{|X(k)|^2}{N} \quad (4)$$

2.7 失真度计算

利用傅里叶级数,所有的周期函数可以用其基本频率及整数倍频率的正弦波的级数来表示。设周期函数为 $u(t)$, 则可表示为:

$$u(t) = A_1 \sin\omega t + \sum_{n=2}^{\infty} A_n \sin(n\omega t + \varphi_n) \quad (5)$$

其中 $A_1 \sin\omega t$ 称为基波, $A_n \sin n\omega t$ 称为 n 次谐波。失真度 (distortion) 是该谐波的矢量和与周期函数有效值之比,则失真度 D 为:

$$D = \frac{\sqrt{\sum_{n=2}^{\infty} A_n^2}}{\sqrt{A_1^2 + \sum_{n=2}^{\infty} A_n^2}} \quad (6)$$

若 FFT 所得频谱中基波所占的功率比例较大,则可以初步判断该信号是周期信号,该信号的频率就是基波的频率。

2.8 系统控制流程图

系统控制流程图如图 4 所示。

3 系统测试

系统测试框图如图 5。直接将信号发生器的信号输

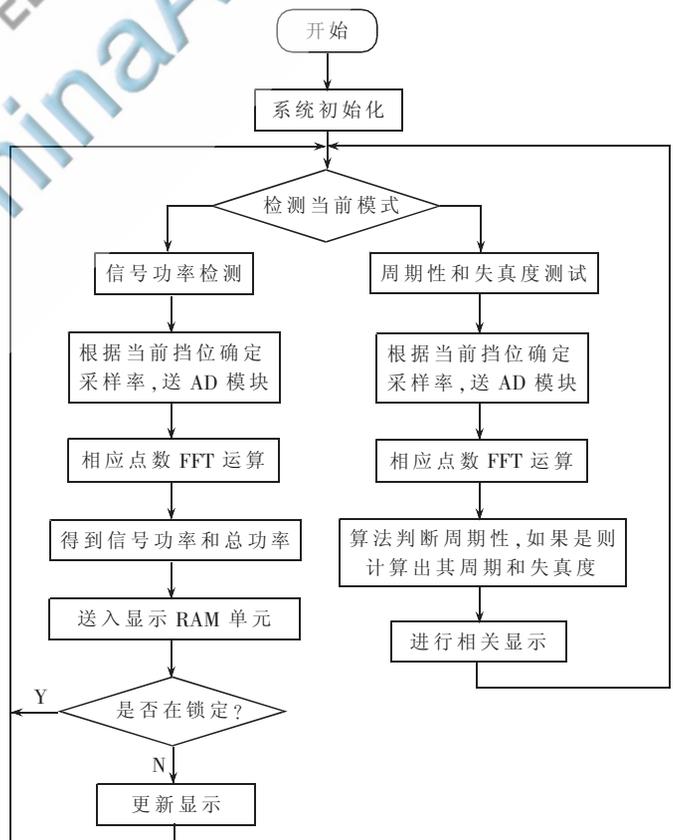


图 4 系统控制流程图

硬件纵横

Hardware Technique

出端接在音频信号分析仪的输入通道上。输入一个已知基频、谐波分量功率、周期及失真度的信号,通过音频信号分析仪测试后与已知结果进行比较。



图5 系统测试方案

测试仪器:HH1641 函数信号发生器。

3.1 测试数据

测试数据(方波信号测试、输入频率 $f_{in}=200$ Hz, 输入幅度=2.5 V)如表1所示。

表1 方波信号测试数据

类别		频率分量				总功率	失真度
		基波	谐波一	谐波二	谐波三		
功率	测量	2.34	0.267	0.093	0.045	2.834	0.111
	计算	2.45	0.28	0.105	0.045	2.967	0.128
	误差/%	5	4	3	4	4.02	0.025

3.2 信号总功率及各频率分量功率测量

使用 HH1641 DDS 函数信号发生器进行测试,表2为一组典型信号测试结果。

综合各项测试结果得到总功率相对误差小于1%,各频率功率误差小于2%。

3.3 测试结果分析

本系统在 20 Hz~10 kHz 的频率范围内,可准确地测量信号中基波分量周期、各频率分量功率、失真度等;参数显示清晰,数据刷新时间小于 5 s;各项参数性能基本达到设计要求。对频率分辨力、动态范围及精度都做了

表2 4次信号功率及各频率分量功率测量结果

单位:W

	频率/Hz	信号总功率	最大功率	次大功率	各频点功率和	误差/%
1	200	0.049 78	0.039 52	0.009 78	0.049 6	0.80
2	200	0.050 21	0.039 90	0.010 13	0.050 03	0.36
3	200	0.050 34	0.040 28	0.010 19	0.050 57	0.45
4	200	0.050 04	0.039 54	0.010 16	0.049 5	0.67
平均值	200	0.050 09	0.039 81	0.010 16	0.099 3	0.57

较大的扩展。

参考文献

- [1] 戚甫峰.基于 FPGA 的音频信号分析仪[J].科技信息, 2009(15):465-466.
- [2] 丁玉美,高西全.数字信号处理[M].西安:西安电子科技大学出版社,2006.
- [3] 赵力.语音信号处理[M].北京:机械工业出版社, 2003.
- [4] 康华光.电子技术基础模拟部分[M].北京:高等教育出版社,2005.
- [5] 张洪涛,万红,杨述斌.数字信号处理[M].武汉:华中科技大学出版社,2003.
- [6] 帕尔尼卡.Verilog HDL 数字设计与综合(第二版)[M].夏宇闻,胡燕祥,译.北京:电子工业出版社, 2004:7-36.

(收稿日期:2011-07-16)

作者简介:

朱继珍,男,1986年生,在读硕士研究生,主要研究方向:嵌入式系统。

赵建军,男,1962年生,硕士生导师,副教授,主要研究方向:电子工程技术及射频 MEMS。