

基于 Camera link 的图像采集系统

沈崑洵, 郑力新

(华侨大学 信息科学与工程学院, 福建 厦门 361021)

摘要: 介绍了一种基于 FPGA 和 Camera link 协议的图像采集系统设计方案。设计中将接口信号和图像数据转换为低压差分信号(LVDS)进行传输,提高了信号的精度和传输距离。阐述了具体的硬件接口电路设计以及接口信号程序设计,并给出了实验结果。

关键词: FPGA; camera link; 接口电路

中图分类号: TP29

文献标识码: B

文章编号: 1674-7720(2011)19-0060-03

The image acquisition system based on camera link

Shen Yinxun, Zheng Lixin

(College of Information Science and Engineering, Huaqiao University, Xiamen 361021, China)

Abstract: The paper introduces of a design of image acquisition system based on FPGA and camera link protocol. The interface signals and image data will be transmitted after converted to low-voltage differential signaling (LVDS), which improves the accuracy of signals and transmission distance. It describes the design of the specific hardware interface circuit and signals process, and gives the simulation results.

Key words: FPGA; camera link; interface circuit

多年来,科学和工业数码相机市场一直缺乏一种标准的通信方式。图像采集卡和相机各自的制造商都使用不同的连接器开发产品,使得厂家对于线缆生产变得困难并且对消费者造成很大的困惑。随着数据传输速率的不断提高,一种在数码相机与图像采集卡之间的连接标准将变得更加必要。Camera link 是 NI 公司联合多个摄像头及图像采集卡公司共同推出的一种机器视觉应用的通信接口。该接口扩展了 Channel link 的基础技术,提供了一种对于机器视觉应用来说更有效的规范。

有很多关于 Camera link 接口方面的研究,但基于色选系统并与 FPGA 结合的技术资料十分缺乏。本文主要介绍了 Camera link 接口的通信协议以及一种以 FPGA 为主控芯片并且基于 Camera link 接口的图像采集、处理、显示的系统设计方案,并就方案中的 Camera link 模块结合色选机实例进行具体介绍。

1 Camera link 协议^[1-2]

国家半导体公司基于在物理层的 LVDS(低压差分信号)开发了 Channel link 技术作为平板显示器的一种解决方案。该技术后来被扩展成一个通用数据的传输方法,而 Camera link 就是在 Channel link 基础上形成的。

Channel link 由一对驱动器和接收器组成。该驱动器有 28 bit 的单端数据信号和 1 个单端时钟。这些信号以 7:1 的比例串行化成 4 个数据流和 1 个锁相时钟,并通过 5 个 LVDS 对驱动。该接收器接收 4 个 LVDS 数据流和 1 个 LVDS 时钟并把它们转化成 28 bit 数据和 1 个时钟信号。Channel link 的数据传输速率(高达 2.38 Gb/s)满足当前传输速率不断增加的趋势。图 1 为 Channel link 连接示意图。

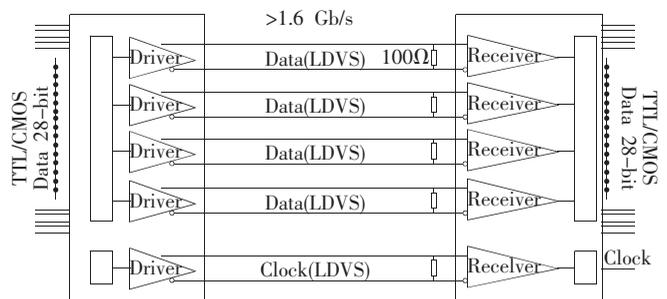


图 1 Channel link 连接示意图

Camera link 接口的视频数据信号包括 24 bit 的图像数据和 4 bit 的图像使能信号,它们通过 Camera link 总线传输。4 个视频同步信号分别定义为:

《微型机与应用》2011 年第 30 卷第 19 期

帧有效信号 FVAL, 当 FVAL 为高电平时, 输出一帧有效数据; 行有效信号 LVAL, 当 LVAL 为高电平时, 输出一个有效像元行; 数据有效信号 DVAL, 当 FVAL 和 LVAL 为高时, DVAL 为高电平, 输出有效数据; SPARE 为自定义控制信号。

为了便于相机控制, Camera link 保留 4 对 LVDS 信号, 分别是 Camera Control 1 (CC1)、Camera Control 2 (CC2)、Camera Control 3 (CC3)、Camera Control 4 (CC4), 它们定义了相机的输入和图像采集卡的输出。相机制造商可以自定义这些信号, 以满足它们特定产品的需要。比如 DALSA 相机控制配置一般为: CC1——EXSYNC(低电平有效); CC2——PRIN; CC3——Direction; CC4——Not used。

Camera link 分配两对 LVDS 信号用于摄像头和图像采集卡之间的异步串行通信。摄像头和图像采集卡需至少支持 9 600 波特率。这两个信号分别是: Ser TFG(相机串行输出端至图像采集卡串行输入端)和 Ser TC(图像采集卡串行输出端至相机串行输入端)。并且其串行接口具有以下特点: 一个起始位, 一个停止位, 无奇偶校验位, 无握手。

Camera link 接口有 3 个端口配置, 分别为 Base、Medium、Full, 它们各自需要的芯片数目和连接器的数目各不相同, 具体如表 1 所示。一个端口定义为一个 8 bit 字。最低有效位(LSB)是第 0 位, 最高有效位(MSB)是第 7 位。Camera link 接口采用的 A-H 的 8 个端口。

表 1 Camera link 端口配置

模式	支持端口	芯片数目	MDR26 连接器数目
Base	A, B, C	1	1
Medium	A, B, C, D, E, F	2	2
Full	A, B, C, D, E, F, G, H	3	2

当 Camera link 端口配置为 Base 时, 其端口的各个位与接口芯片管脚之间存在着一定的对应关系, 详细的位配置信息见参考文献[3]。如果 Camera link 的端口配置为 Medium 或者 Full 时, 应当注意, 如果端口 D 和 G 需要时, 应使用和端口 A 相同的位配置管脚; 如果端口 E 和 H 需要时, 应使用和端口 B 相同的位配置管脚; 如果端口 F 需要时, 应使用和端口 C 相同的位配置管脚。

2 系统硬件平台

2.1 系统框图

该系统主要由图像传感器(CCD)、模数转换芯片(A/D)、现场可编程门阵列(FPGA)、Camera link 接口芯片和图像采集卡五部分组成。CCD 完成图像的光电转换, 产生图像的模拟信号, A/D 将图像的模拟信号转换成数字信号, 然后数字信号转换成 LVDS 信号, 最后通过图像采集卡把图像信号发送给 PC 机并通过液晶显示器显示。在这一过程中, FPGA 主控模块控制 CCD、A/D、Camera link 接口芯片, 使系统正常工作。系统框图如图 2 所示。

《微型机与应用》2011 年第 30 卷第 19 期

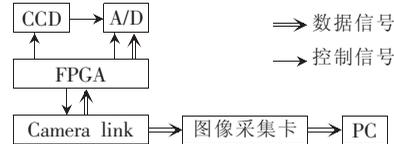


图 2 系统结构框图

2.2 Camera link 接口电路^[3-4]

选用 Altera 公司 Cyclone III 系列的 FPGA 芯片 EP3K25Q240C8 为主控芯片, 用以设计系统时序、图像数据和产生相应的控制信号。Camera link 接口主要完成 CMOS/TTL 信号至 LVDS 信号的转换, 以及数据有效信号的控制。其硬件芯片采用 NI 公司的 DS90CR285 来实现 Camera link 硬件接口电路。

采用 DS90CR285 发送器实现 LVDS 的电平转换, 选用 Base 端口配置, 端口 Port A、Port B、Port C 分别对应 24 bit RGB 数据中的 R、G、B。每一个发送时钟里, 28 bit 输入数据被采样和传输, 其中包括: 24 bit 的图像数据分别对应 TxIN0-TxIN23; 4 bit 的图像数据同步信号 Spare、LVAL、FVAL 和 DVAL 分别对应 TxIN24-TxIN27。

Camera link 连接器选用 3M 公司的 MDR-26 连接器。在 LVDS 信号设计中, 需要为 LVDS 信号进行终端匹配, 在接收器的差分线对间跨接一个 100 Ω 的电阻。其中, 摄像头中的 DS90CR285 输出信号与 MDR-26 管脚之间的对应关系如表 2 所示。

表 2 Base 配置下的 DS90CR285 和 MDR-26 之间的对应关系

Camera link 信号	MDR-26 管脚	Camera link 信号	MDR-26 管脚
X0-	2	X2+	17
X0+	15	X3-	6
X1-	3	X3+	19
X1+	16	Xclk-	5
X2-	4	Xclk+	18

3 程序设计^[4-6]

设计采用 VHDL 硬件描述语言进行时序设计。由于 KLI-2113 芯片结构的设计特点, 在其输出有效像元之前, CCD 模拟寄存器依序输出 4 个虚拟单元信号、12 个哑元信号, 接着输出 2 098 个有效信号, 在输出有效像元之后再输出 12 个用于检测一个周期结束的检测信号、两个虚拟单元信号, 共 2 128 个输出信号, 最后输出若干个无效像元, 完成一个 CCD 的工作周期。

部分 VHDL 程序如下:

```
.....
process(TxCLK)
begin
if TxCLK'event and TxCLK='1'
then if cnt12<tim
then cnt12<=cnt12+1;
else cnt12<=(others=>'0');
```

欢迎网上投稿 www.pcachina.com 67

```

end if;
if cnt12 > 15 and cnt12 < 2114
then LVAL<='1';
else LVAL<='0';
end if;
end if;
end process;
.....

```

将程序下载到 FPGA 进行实现, 图 3 给出了 Quartus II 仿真结果。

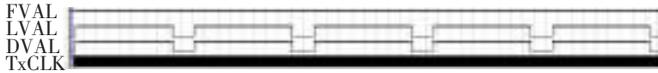


图 3 Camera link 控制及锁相发送时钟信号仿真

本文的创新点在于以 FPGA 为主控芯片, 结合 CCD、AD、Camera link 接口、图像采集卡, 实现了图像的采集、传输、显示等功能。将 CCD 拍摄的图像的模拟信号经过 A/D 转换器转换成 8 bit 数字信号, 由 DS90CR285 芯片转换成 5 对的 LVDS 低压差分信号, Camera link 接口经过图像采集卡发送至 PC 端, 可以正确显示图像, 满足设计要求, 并且为以后关于图像采集的研究提供一定

经验。

参考文献

- [1] 李宁, 汪骏发. 基于 Camera Link 的高速数据采集系统[J]. 红外, 2005, 6(7): 31-37.
- [2] Specifications of the camera link interface standard for digital camera and frame grabbers[M]. 2000.
- [3] NI 公司.DS90CR285/ DS90CR286 芯片手册.
- [4] 潘松, 黄继业. EDA 技术与 VHDL(第二版)[M]. 北京: 清华大学出版社, 2007.
- [5] 吴继华, 王诚. Altera FPGA/CPLD 设计[M]. 北京: 人民邮电出版社, 2010.
- [6] 陈忠平, 高金定. 基于 Quartus IIr FPGA/CPLD 设计与实践[M]. 北京: 电子工业出版社, 2010.

(收稿日期: 2011-05-12)

作者简介:

沈崑洵, 男, 1988 年生, 硕士研究生, 主要研究方向: 智能技术与自动化装置。

郑力新, 男, 1967 年生, 博士, 教授, 主要研究方向: 工业自动化技术和人工智能的研究。