

# 一种基于 FPGA 的 AD9945 驱动设计

洪冰心, 郑力新

(华侨大学 信息科学与工程学院, 福建 厦门 361021)

**摘要:** 介绍了 AD9945 高速 CCD 信号处理芯片, 并对其工作流程进行了研究。分析了 AD9945 芯片内部各个驱动信号的作用及其时序关系, 提出了结合 FPGA 运用 VHDL 硬件语言对该芯片的驱动信号进行编程的思想, 最后通过 QUARTUS II 软件对程序进行时序仿真, 并得到正确的仿真时序图, 从而验证了这种编程思想的正确性。

**关键词:** AD9945; FPGA; VHDL; 驱动

中图分类号: TP29

文献标识码: B

文章编号: 1674-7720(2011)18-0023-03

## The AD9945 driver design based on FPGA

Hong Bingxin, Zheng Lixin

(The college of Information Science and Engineering, Huaqiao University, Xiamen 361021, China)

**Abstract:** Introduced the AD9945 chip which is the high-speed CCD signal processing chip, and studied its entire work processes, analyzed in detail the role of each drive signal and the timing relationship between them. Combining with FPGA, introduced how to program the drive signals using VHDL language. Finally, used QUARTUS II software to simulate the program and gets the right timing diagram simulation and verified the correctness of this programming ideas.

**Key words:** AD9945; FPGA; VHDL; driver

随着计算机和通信技术的发展, 机器视觉的应用更加广泛, 而 FPGA 因具有高性能、高灵活性、低开发成本、低成本的结构化 ASIC 移植等优点, 在机器视觉中发挥着越来越重要的作用。AD9945 是一款 12 bit 的高速 CCD 信号处理芯片, 最高频率可达到 40 MHz, 非常适用于处理高速 CCD 信号。

### 1 AD9945 芯片简介<sup>[1]</sup>

AD9945 是一款高速 CCD 模拟信号处理芯片, 最高频率可处理 40 MHz 的面阵 CCD 模拟信号。其信号链主要由相关双采样(CDS)、数控可变增益放大器(VGA)、黑色电平钳位、12 位 A/D 转换器组成。

#### 1.1 AD9945 内部寄存器

AD9945 有 4 个内部寄存器, 分别为工作寄存器、控制寄存器、暗电平钳制水平寄存器、VGA 增益寄存器。4 个寄存器可通过 3 线串行数字接口(SCK、SDATA、SL)进行编程。通过编程可改变增益、黑电平校正、输入时钟极性及其掉电模式等。各个内部寄存器详细设置见其芯片手册<sup>[1]</sup>。

对单个寄存器的赋值应满足其芯片时序图, 并且注意 4 个寄存器应被连续写入, 第一个寄存器的地址(最低的地址)被写入后, 跟着写入一个测试位(置 0)和 4 个 12 bit 的数据(不足 12 bit 的补 0), 其中地址位将跟着每一个 12 bit 的数据而自动增加。每一位 SDATA 的数据在 SCK 的上升沿被写入。在所有的寄存器的值写入期间, SL 保持低电平, 并且系统在 SL 上升沿后对寄存器的值进行更新。

#### 1.2 AD9945 工作流程

对于来自 CCD 的输入信号, AD9945 通过一个由 0.1  $\mu$ F 的外部耦合隔直电容以及内置的高精度直流电平恢复电路, 使 CCD 信号的直流分量保持在 1.5 V 左右, 从而与 3 V 单电源输入的 AD9945 相匹配。接着 AD9945 对 CCD 信号进行相关双采样处理, 即对 CCD 信号采样两次以提取视频信息, 这有效地防止了低频噪声。相关双采样发生在 SHP(复位电平)和 SHD(像元信号电平)的上升沿, 这两个时钟信号是完成采样、发挥 CCD 性能的关键。然后 AD9945 可以通过 10 bit 的串行

数字接口编程设置对 CCD 信号的增益进行调整,增益范围从 6 dB~40 dB。其增益调整的公式为:VGA 增益(dB)=(VGA 代码值 $\times$ 0.035 dB)+5.3 dB。为了清除 CCD 信号链中残留的偏置并跟踪暗电平低频的变化,AD9945 还设置了一个光学暗电平钳制反馈环。通过内部寄存器设置暗电平的参考值,并与 ADC 输出的实际暗电平的值进行比较。产生的误差信号经过数字滤波,通过一个 D/A 转换器反馈到 ADC 的输入。暗电平钳制脉冲 CLPOB 应处于有效的 CCD 光学暗电平期间。最后 CCD 信号通过一个 12 bit 的 AD 转换器输出,并且输出时延迟 10 像素时钟。

## 2 AD9945 驱动设计

### 2.1 AD9945 时序分析<sup>[1-2]</sup>

AD9945 要正常工作必须由时序发生器提供各种脉冲信号,以保证其内部寄存器能够正确赋值,双相关采样信号 SHP 和 SHD 时序应满足 CCD 信号要求以及 CLPOB 脉冲应处于有效的 CCD 光学暗电平期间。AD9945 时序脉冲信号是一组周期性、关系较复杂的脉冲信号,它直接影响了对 CCD 信号的处理性能。本文设计的 AD9945 的时序包括三个部分:(1)3 线串行数字接口(SCK、SDATA、SL),保证内部寄存器被正确赋值;(2)相关双采样信号 SHP、SHD,确保采样的准确性;(3)光学暗电平钳制,减少钳制噪声。

预设当 CCD 数据频率为 40 MHz 时,各个驱动信号的相位关系如表 1 所示。通过观察各驱动信号的相位表和时序图<sup>[1]</sup>可以得到:如果设  $t=T/8$  ( $T$  是驱动信号的周期),则 SHP、SHD、DATACLK 的脉冲宽度分别为  $2t$ 、 $2t$ 、 $4t$ ,并且 SHP、SHD 之间相位差为  $2t$ 。由于 DATACLK 上升沿必须处于 SHD 的上升沿与下一个 SHP 的下降沿之间,因此设 DATACLK 上升沿到 SHP 下降沿的相位为  $t$ 。所以如果基准时钟信号的周期为  $t$ ,根据上述分析的结果可以得到各个驱动信号。

需要注意的是,表 1 中的各个驱动信号的相位关系是在 CCD 信号频率为 40 MHz 时的,如果 CCD 信号频率发生变化,各个驱动信号的频率也应该跟着变化。

表 1 驱动信号相位关系

参数	最小	典型	最大
DATACLK、SHP、SHD 时钟周期/ns	25		
DATACLK 高/低电平脉冲宽度/ns	10	12.5	
SHP 脉冲宽度/ns		6.25	
SHD 脉冲宽度/ns		6.25	
CLPOB 脉冲宽度/ns	2	20	
SHP 上升沿到 SHD 下降沿/ns		6.25	
SHP 上升沿到 SHP 上升沿/ns	11.25	12.5	
SCK 最大的频率/MHz	10		

### 2.2 AD9945 驱动的程序设计<sup>[3]</sup>

主控芯片选用现场可编程门阵列。FPGA 可以通过 QuartusII 软件编程对其硬件结构和工作方式进行重构,

从而使得硬件设计如同软件设计方便快捷。本设计主要使用 VHDL 语言来编写驱动程序。

AD9945 最高工作频率可以达到 40 MHz,但是为了配合前端 CCD 提供的图像数据信号(CCD 信号为 10 MHz),把 AD9945 的工作频率设定为 10 MHz(即 SHP、SHD、DATACLK 频率=10 MHz),这样与前端 CCD 信号达到同步。通过观察 SHP、SHD、DATACLK 之间的相位关系以及上文的时序分析,发现需要一个 80 MHz 的基准时钟( $1/t=8/T$ ),然后对基准时钟进行 8 分频,得到 10 MHz 的信号。然而 FPGA 的基准时钟信号是由一块 50 MHz 的有源晶振产生,要想得到需要的 80 MHz 的信号,就必须进行小数分频处理。选择利用 FPGA 内部的锁相环 PLL 完成 8/5 的小数分频<sup>[3-4]</sup>。

#### 2.2.1 AD9945 内部寄存器程序设计

在 AD9945 对 CCD 信号进行采集之前,需要对其内部寄存器进行设置,使其工作在需要的状态下。此步骤需要对 3 线串行数字接口(SCK、SDATA、SL)进行编程。

首先定义一个串行数据类型 SPI=RAM\_ARRAY,并赋初值,即是预计要向各个寄存器写入的值,总共 52 位(3 位地址位+1 位测试位+每个寄存器 12 位 $\times$ 4 个寄存器=52 位)。通过 SPI 对串行数据接口 SDATA 进行赋值,实现对内部寄存器的设置。

然后编写程序产生串行数据输入时钟 SCK,因为 SCK 是频率为 10 MHz,占空比为 1:1 的方波,所以对 80 MHz 的基准时钟进行 8 进制计数  $div8=(0,1,2,3,4,5,6,7)$ ,当  $div8=0,1,2,3$  时,SCK 为低电平。最后需要产生内部寄存器载入脉冲 SL。定义一个 52 位的计数器 CNT52,对 SCK 的脉冲计数 52 次(用于串行数据的写入)。计数期间 SL 置 0,结束后置 1,并且在此期间当每一个 SCK 上升沿到来时通过 SPI 对 SDATA 进行串行写入(共 52 次)。

#### 2.2.2 AD9945 采样时钟的程序设计

通过对内部寄存器进行赋值,规定了 AD9945 的工作方式后,就可以编写程序设计 AD9945 的采样时钟 SHP、SHD、DATACLK。其中 DATACLK 是数据像素同步时钟,必须与前端 CCD 信号严格匹配,在这里也是通过软件产生,实际验证过程中再根据具体情况进行调整。

DATACLK 占空比为 1:1,所以当  $div8=0,1,2,3$  时 DATACLK 为低电平;SHP 和 SHD 占空比都为 3:1,但是 SHP 比 SHD 超前,所以当  $div8=1,2$  时,SHP 为低电平;当  $div8=5,6$  时,SHD 为低电平。

#### 2.2.3 AD9945 行钳制时钟输入

通过观察 CCD 输出信号,发现 CCD 信号的有效像元之间夹杂着一些光学暗电平和一些空白像素,在此区间 CCD 是没有输出的。通过软件设计 PBLK 和 CLPOB 脉冲信号,使 AD9945 采集的结果更准确。

设置 CLPOB 为 20 个像素时间宽度,而 PBLK 脉冲宽度的设置需要准确知道 CCD 空白像素的宽度,在此也是预设 20 个像素时间宽度,针对实际情况再进行调整。

《微型机与应用》2011 年 第 30 卷 第 18 期

## 2.3 驱动程序及仿真结果

由于设计需要的频率较高,担心 FPGA 编程后的管脚输出达不到所需电压,波形也不尽如人意,所以设计通过反向器来提升 FPGA 的输出信号,使其达到 AD9945 的输入要求,同时可以对波形进行整形,这就要求在编写 FPGA 程序时,时序编写要反向设计,按照上述时序分析反逻辑编写。

驱动电路实体端口定义如下:

```
entity ad9945 is
port(clk: in std_logic;
      sck: out std_logic;
      sdata: out std_logic;
      sl: out std_logic;
      shp: out std_logic;
      shd: out std_logic;
      dataclk: out std_logic;
      clpob: out std_logic;
      pblk: out std_logic);
end entity ad9945;
```

软件(QuartusII)仿真结果如图(图 1~图 3)。

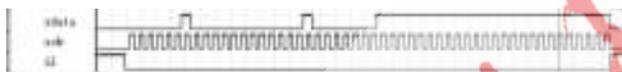


图 1 AD9945 内部寄存器的串行写入



图 2 AD9945 的 CCD 采集时序



图 3 AD9945 的行钳制时序

通过把仿真得到时序图与芯片要求的时序图进行比较,发现设计得到的驱动信号符合 AD9945 数据手册的要求,因此能正常驱动 AD9945 进行工作,完成对 CCD 信号的采集、处理。

## 参考文献

- [1] ADI 公司.AD9945 芯片资料,2003.
- [2] 常丹华.基于 CPLD 技术的 CCD 驱动时序产生方法[J].仪器技术和传感器,2001(3):26-28.
- [3] 潘松,黄继业.EDA 技术与 VHDL(第二版)[M].北京:清华大学出版社,2007.
- [4] 吴继华,王诚.Alterra FPGA/CPLD 设计(初级篇)[M].北京:人民邮电出版社,2010.

(收稿日期:2011-06-22)

## 作者简介:

洪冰心,男,1986 年生,硕士研究生在读,主要研究方向:智能技术与自动化装置。

郑力新,男,1967 年生,教授,博士,主要研究方向:工业自动化技术和人工智能的研究。