

基于 FPGA 与 USB2.0 的实时数据采集与处理系统

赵乐森,王旭柱

(中国海洋大学 信息科学与工程学院 电子系,山东 青岛 266100)

摘要: 介绍了一种基于 FPGA 与 USB2.0 的双通道实时数据采集与处理系统。该系统采用 XC3S1200E 芯片作为核心处理芯片, CY7C68013 作为 USB 接口芯片, 通过 FPGA 内部的控制模块控制 A/D 数据转换和 USB 的数据传输, 并在 FPGA 内部完成数据的处理。实验证明, 该系统基本能满足设计的要求, 计算出所求粒子的直径。

关键词: 数据采集; A/D; FPGA; USB2.0

中图分类号: TP319F27

文献标识码: A

文章编号: 1674-7720(2011)17-0025-03

Real-time data acquisition and processing system based on FPGA and USB2.0

Zhao Lesen, Wang Xuzhu

(Department of Electronics, College of Information Science and Engineering, Ocean University of China, Qingdao 266100, China)

Abstract: This article introduces a kind of double channels real-time data acquisition and processing system based on FPGA and USB2.0. This system uses the XC3S1200E chip as the core processing chip and CY7C68013 as the USB interface chip. It controls A/D data conversion and USB data transmission through FPGA internal control module, and completes data processing in FPGA. Experiments show that the system can meet the basic requirement of design, calculate the diameter of the petitions particles.

Key words: data acquisition; A/D; FPGA; USB2.0

数据采集系统正越来越多地应用于控制和测试领域,在某些特定的领域,数据采集系统所起的作用也越来越大^[1]。传统的数据采集方法通常采用 DSP 作为核心芯片, DSP 虽然运行速度快,但是不能完成外围的硬件逻辑控制。FPGA 时钟频率相对较高且延时小, FPGA 采用 IP 内核技术,可以集成外围控制和接口电路^[2]。本文根据项目需要,设计了一种基于 FPGA 的双通道、最大采样率为 5 Mb/s 的通用数据采集与实时处理系统。

1 系统方案设计

数据采集和处理系统主要由信号调理电路、A/D 转换器、FPGA 和 USB 四部分组成,如图 1 所示。

信号调理电路的作用是对所采集的模拟信号进行放大、滤波,将单路信号转变为差分信号,驱动 A/D 转换器的正常工作。本文选用 TI 公司的全差动运算放大器 THS4503,它是模数转换器 ADS1605 的数据手册中推荐的运算放大器^[3]。

A/D 转换器在 FPGA 内的控制模块控制下,将所采集的模拟信号转换为 16 bit 的数字信号,传入 FPGA 中

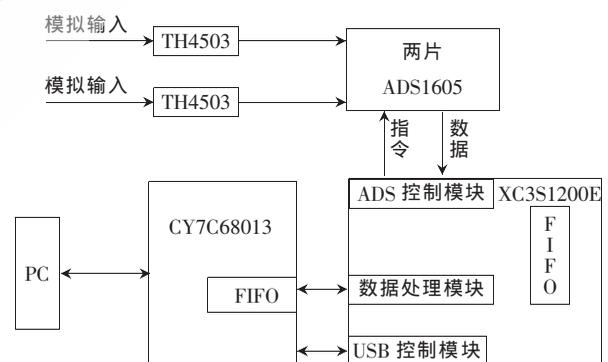


图1 实时数据采集与处理系统框图

进行处理。本系统所采用的模数转换器为 TI 公司的 ADS1605。

FPGA 芯片采用的是 Xilinx 公司的 Spartan 3E 系列中的 XC3S1200E。FPGA 为本系统的核心部分,控制 A/D 转换器的数据转换,并将 A/D 转换来的数据进行 FFT 处理。同时, FPGA 的 USB 接口控制逻辑查询 CY7C68013 是否空闲,控制 USB 将处理完的数据传递给主机,并在

PC 机中显示出来, 实现数据的可视化显示和人机接口的互动。

CY7C68013 是 Cypress 公司推出的 EZ-USB FX2 系列的 USB 接口芯片, 其作用是在 FPGA 的接口控制逻辑下, 把处理完的数据传递给主机。

本系统的工作原理为: 该系统可以完成两路中频信号的采样处理, 单路信号经过 THS4503 后转变为差分信号, 输入到模数转换器中, FPGA 中的 A/D 控制模块向 ADS1605 发送采样控制指令, A/D 转换器在控制模块控制下进行数据采集, 将模拟信号转换成 16 bit 的数据信号, 并依次选通两片 A/D 通道, 实现由 A/D 转换器到 FPGA 的双通道数据传输。当采集的数据达到处理条件后, 相应的数据在 FPGA 中进行 FFT 计算。计算完成后, 将处理过的数据在 FPGA 的 USB 接口控制逻辑下, 经过 USB 接口传递给主机, 当数据传递完成后, 再进行下一次的数据采集和处理。

2 系统硬件设计

2.1 信号调理电路

A/D 转换器的前端需要运放来驱动, 本设计中的信号调理电路采用 TI 公司的全差动运算放大器 THS4503。经过信号调理电路后, 单路信号转变为差分信号, 输入到 A/D 转换器中。

全差动放大器的特点为: 具有高分辨率、高精度以及出色的动态范围。THS4503 就是一种高精度的全差动运放, 选择它作为 ADC 的缓冲器可以简化方案的设计^[4]。

2.2 A/D 转换电路

A/D 转换电路是系统的重要组成部分, 其与 FPGA 的连接如图 2 所示。



图 2 ADS1605 与 FPGA 的接口框图

ADS1605 是 TI 生产的一款高采样率、高精度、易使用的 16 bit $\Delta\Sigma$ 模数转换器, ADS1605 的工作电源为 +5 V 的模拟电源和 +3 V 的数字电源, 独立的数字 I/O 电源设计使芯片可灵活与其他逻辑芯片接口^[3]。ADS1605 需要外接时钟源进行工作。本系统外接频率为 50 MHz 的晶振时钟源, 经过 FPGA 分频后, 为 ADS1605 提供正常工作所需的频率。

ADS1605 在 FPGA 的控制模块下正常工作。ADS1605 的控制模块对 ADS1605 的控制进程为:

(1) 状态 0: CS、RD 置 1, RESET 置 0, 初始化

ADS1605, 进入状态 1。

(2) 状态 1: CS 置 0, RD 置 1, RESET 置 1, 开始数据转换, 进入状态 2。

(3) 状态 2: CS 置 0, RD 置 1, RESET 置 1, 检测 DRDY 的状态, 若下降沿来临, 进入状态 3; 否则, 继续等待 DRDY 下降沿的到来。

(4) 状态 3: CS 置 0, RD[0] 置 0, RESET 置 1, 输出一通道转换好的数据, 进入状态 4。

(5) 状态 4: CS 置 0, RD[1] 置 0, RESET 置 1, 输出两通道转换好的数据, 进入初始状态。

2.3 FPGA 的设计

本系统采用的是 Xilinx 公司的 Spartan 3E 系列的 XC3S1200E 芯片, 它更好地利用了 90 nm 工艺, 拥有的系统门数达到 120 万, 28 个乘法器, 504 KB 的块 RAM, 136 KB 的分布式 RAM, 8 个数字时钟管理模块, 最大可用管脚可达 304 个, 它性价比也较高^[2]。

XC3S1200E 是基于 SRAM 工艺的查找表结构, 它不具备非易失特性, 因此断电后将丢失内部逻辑配置。在每次上电后, 都需要从外部非易失存储器 (如 PROM、Flash 存储器等) 中导入配置比特流。本系统选用的是 XC3S1200E 芯片, 这是 FPGA 数据手册上提供的配置芯片^[5]。

FPGA 是本系统的核心部分, 构成了数据采集系统和数据传输系统的“桥梁”, 完成了对 ADS 的控制, 并对采集到的数据进行存储和处理, 同时也完成了对 CY7C68013 的控制。使用 FPGA 使电路得到了简化, 不需要额外的分立器件来存储数据。在 FPGA 内部构成了以下几个模块。

(1) 两片 FIFO 数据存储模块

FIFO 数据存储模块主要用来存储 A/D 转换的数据。由于需要同时采集两路信号 (一路荧光信号, 一路多普勒信号), 因此需要两个 FIFO 模块, 这样易于对数据的存储和控制。

(2) 数据处理模块

本系统需要把采集到的数据进行处理, 所以数据处理模块是很重要的组成部分。

在数据处理模块中, 首先将一路通道采集到的荧光信号数据进行 32 个数据的求平均操作, 以预触发两个通道的信号, 然后再对一路通道的数据进行最大值和最小值计算, 通过这两个数据求出荧光信号的宽度。对另一通道中的多普勒信号进行 FFT 计算。通过两通道得到的数据计算出所求粒子的直径。

(3) 控制模块

控制模块主要完成对 ADS1605、FIFO 存储模块和 CY7C68013 的控制, 这是整个系统的关键。控制模块将产生控制信号, 实现系统的数据采集、处理和传输功能。

(4) 分频倍频模块

系统提供的 FPGA 外部时钟频率为 50 MHz, 经过分

频倍频模块将外部时钟转换成各个芯片工作所需的频率。

2.4 USB 的设计

2.4.1 USB 与 FPGA 的接口设计

在 USB 设计中,为了保持较高的传输速度,使用不经过 CPU 的 SLAVEFIFO 控制模式。

接口方式如图 3 所示:

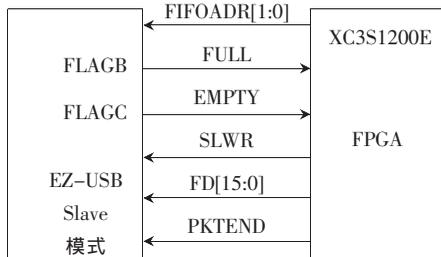


图3 USB与FPGA的接口框图

本系统选用的芯片是 Cypress 公司的 CY7C68013 芯片。该模块的工作过程为:当采集的数据在 FPGA 中处理完后,FPGA 根据 SLAVEFIFO 的控制时序产生相应的控制信号,将在 FPGA 中的数据传输给 EZ-IJSB FX2 的内部端点 FIFO,而当内部端点存储满后,FX2 自动将数据传输到 PC 机上^[6]。外部控制器 FPGA 对 FX2 的控制进程如下:

(1)IDLE:空闲状态,此时如果写事件发生,将转向状态 1。

(2)状态 1:指向 IN FIFO,触发 FIFOADR[1:0],转向状态 2。

(3)状态 2:如果 FIFO 满标志为假,则转向状态 3;否则,保持在状态 2。

(4)状态 3:驱动数据到总线上,通过触发 SLWR 来写数据到 FIFO,并增加 FIFO 指针,然后转向状态 4。

(5)状态 4:如果还有数据写,转向状态 2,否则,转向 IDLE。

2.4.2 USB 接口芯片固件程序

固件程序是指运行设备 CPU 中的程序,只有在运行该程序的时候,外设才能称为具有给定功能的外围设

备。在该系统中,CY7C68013 芯片的固件程序的主要功能就是辅助硬件系统工作,完成对设备的初始化,处理应用程序和驱动程序发送的各种命令和数据交换。

Cypress 公司为使用 FX2 芯片的用户提供了一个完整的固件开发框架,用户只需要在框架的基础上提供一个 USB 描述符表,添加其他端点接收和发送数据的通信代码以及控制外围电路的程序代码,即可完成固件的开发。该固件所使用的编程工具是 Keil 公司的 C51 编译器^[6]。

本文主要介绍了基于 Xilinx 公司 XC3S1200E FPGA 的数据采集与实时处理系统,采用计算机的 USB 接口作为数据传输接口。本系统利用 FPGA 内部模块来实现数据处理,采用 Verilog 生成的状态机来控制各个模块的连接,实现数据的采集、转换、处理和传输。本文的创新点在于:利用 FPGA 生成了各个接口的控制模块,并利用 FPGA 内部的 IP 核完成了对数据的 FFT 计算,简化了硬件的设计,使系统变的简洁。在应用中可以根据任务的不同改换内部的数据处理模块,使系统可以灵活地处理各种数据采集处理任务。

参考文献

- [1] 沈兰荪.数据采集技术[M].北京:中国科学技术大学出版社,1990.
- [2] 田耘,徐文波,胡彬.Xilinx ISE design suite 10.x FPGA 开发指南[M].北京:人民邮电出版社,2008.
- [3] Texas Instruments. ADS1605 data book.2007.5.
- [4] Texas Instruments.THS4503 data book.2004.
- [5] Xilinx.Xilinx Spartan-3E FPGA family data sheet,2009.8.
- [6] 薛园园.USB 应用开发技术大全[M].北京:人民邮电出版社,2007.

(收稿日期:2011-05-04)

作者简介:

赵乐森,男,1986年生,硕士研究生,主要研究方向:智能测控技术。

王旭柱,男,1967年生,教授,博士,硕士生导师,主要研究方向:信号处理及水下探测系统。