

## 基于 FPGA 的 VGA 波形显示方法研究

胡建革, 宋海声, 陶中幸, 金晶

(西北师范大学 物理与工程学院, 甘肃 兰州 730070)

**摘要:** 介绍了基于现场可编程门阵列(FPGA)技术实现波形显示的两种方法,同时针对波形显示中出现的稳定性提出了一种稳定显示波形的策略。首先利用高速 A/D 转换器将采集的波形信号进行波形稳定控制,然后存进 FPGA 片内的 RAM 中,最后以 VGA 方式实时地显示出来。给出了两种方法的 VGA 波形显示图,并对比分析了两种方法的特点。

**关键词:** 现场可编程门阵列; 视频图形阵列; 波形显示方法

中图分类号: TP302

文献标识码: A

文章编号: 1674-7720(2011)16-0039-04

### Research of VGA waves display method based on FPGA

Hu Jian'ge, Song Haisheng, Tao Zhongxing, Jin Jing

(College of Physics and Electronic Engineering, Northwest Normal University, Lanzhou 730070, China)

**Abstract:** Two methods of realizing waveform display based on FPGA (Field Programmable Gate Array) technology were introduced, and meantime proposed a strategy of stable showing waveform aiming at appeared instability of waveform display. Using high-speed A/D, the acquisition signals were firstly stably controlled for waveform stability, and then stored them into the FPGA on-chip RAM, finally displayed in real-time VGA (Video Graphics Array) mode. Also gave two VGA method waveform diagrams and analyzed in contrast the characteristics of the two methods.

**Key words:** FPGA; VGA; waves display method

随着微电子技术的发展,应用 FPGA 技术开发的信号处理系统在各种行业中得到了广泛的应用。VGA 是 IBM 公司在 1987 年随 PS/2 机一起推出的一种视频传输标准,具有分辨率高、显示速度快、颜色丰富等优点,在彩色显示器领域得到了广泛的应用。采用 FPGA 设计 VGA 控制器也是近几年研究的一个热点,这种方式设计的显示系统,在不使用 VGA 显示卡的情况下,实现图像的显示和控制,具有成本低、结构简单、应用灵活的优点。目前关于这方面的研究论文主要集中在显示原理的介绍、FPGA 设计 VGA 时序控制器<sup>[1-2]</sup>以及图像显示方法<sup>[3-4]</sup>上,至于波形的显示方法主要集中在计算机上通过显卡实现,利用 FPGA 而无需显卡的 VGA 显示波形的讨论比较少见。本文依据 VGA 显示原理,介绍两种 VGA 显示波形的的方法,给出了两种波形显示方法的流程图,同时针对波形显示中出现的稳定性提出了一种稳定显示波形的策略,并给出了 VGA 显示的结果波形。显示方法利用 Verilog HDL 语言作为逻辑描述手段,在 QuartusII 软件环境下使用 Stratix II 系列的 FPGA 芯片完成。

### 1 VGA 显示原理

常见的彩色显示器一般由 CRT 构成,彩色由 R、G、B 三色组成。采用逐行扫描的显示方式,阴极射线枪发出的电子束打在涂有荧光粉的荧光屏上,产生 R、G、B 三基色,最后合成一个彩色图像。

对于图像的显示,可以利用行、场同步信号的计数器,在显示可视区间内按照图片的大小划定行和列的起始坐标和终止坐标,当扫描点在图像显示区域内时,根据扫描点在图像显示区中的相对坐标位置,计算得到当前要显示的图像像素点在图像存储器中的地址,然后读取显示。

如图 1 所示, $x$  表示行计数器的计数值(行坐标), $y$  表示列计数器计数值(列坐标),显示分辨率为  $H \times V$ , $(x,y)$  为显示区域内的任意一像素点。波形显示区域的大小为  $M \times N$ ,起始点为  $(m_0, n_0)$ , $(m,n)$  则为扫描点在波形显示区域中的相对坐标。当扫描点到达波形显示区域时,即满足以下关系:

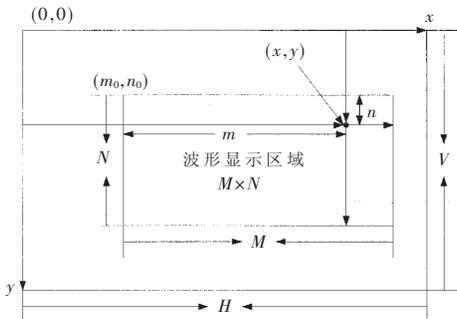


图1 显示布局示意

$$\begin{cases} m_0 \leq x \leq m_0 + M \\ n_0 \leq y \leq n_0 + N \end{cases}$$

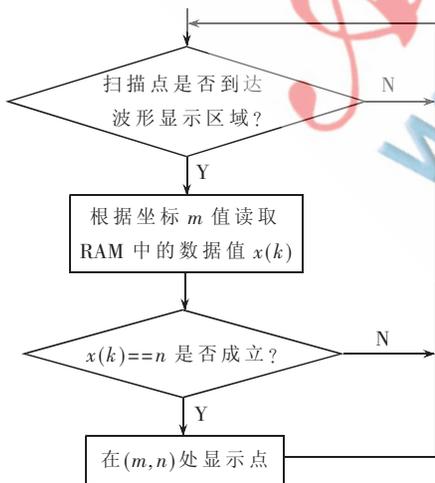
则有  $m=x-m_0, n=y-n_0$ ; 此时, 可以将  $m$  作为波形存储器的地址, 取出波形数据进行显示, 波形存储器的大小可以设置为大于或等于  $M$ 。

## 2 波形显示方法

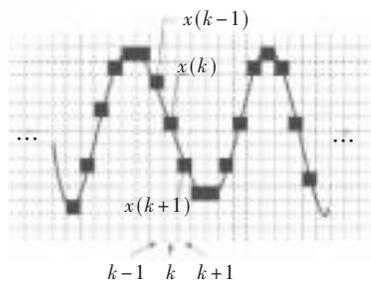
在这里讨论两种波形显示的方法。假设存储在波形 RAM 中的数据为  $x(k)$ ,  $(m, n)$  为扫描点在波形显示区域中的相对坐标。

方法一: 如图 2(a) 流程所示, 当扫描点进入波形显示区域时, 开始读取波形 RAM 中的数据, 将读出的数据  $x(k)$  与当前扫描点在波形显示区域中的纵坐标  $n$  或者  $N-n$  作比较, 如果相等则显示, 否则不显示。图 2(b) 所示为方法一显示的效果图。

方法二: 如图 3(a) 流程所示, 当扫描点进入波形显示区域时, 开始读取波形 RAM 中的数据, 将当前扫描点在波形显示区域中的纵坐标  $n$  或者  $N-n$  与读出的当前数据  $x(k)$  和上一个波形数据  $x(k-1)$  进行对比, 如果扫描点刚好处于这两个值之间则显示, 否则不予显示。图 3(b) 所示为方法二显示的效果图。

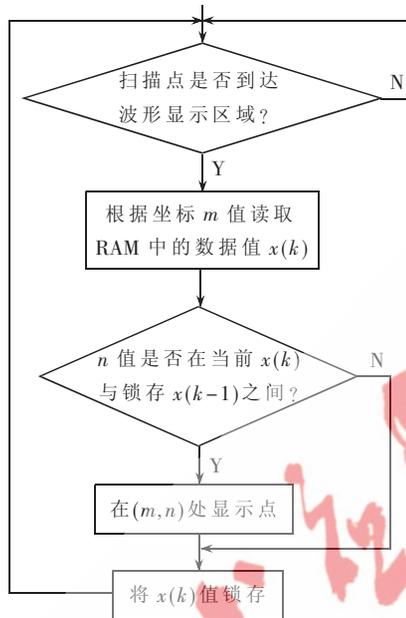


(a) 流程图

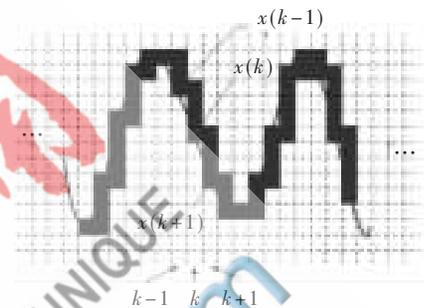


(b) 显示效果

图2 流程图



(a) 流程图



(b) 显示效果

图3 显示方法二

## 3 显示控制器设计

VGA 显示控制器须提供 R、G、B 三色图像信号, HS 行同步信号和 VS 场同步信号。由于 VGA 接口显示器仅能处理串行模拟信号, 因此, VGA 控制器所产生的信号经 D/A 转换器将数字信号转变为模拟信号后发送给显示器使用。VGA 显示器正确、完整地显示数字图像包括时序的构建和数字图像信息的模拟化两个方面。据此系统硬件实现框图如图 4 所示, 系统硬件由 ADC 控制模块、波形稳定控制模块、RAM 存储模块、VGA 控制模块组成。在 ADC 控制模块的控制下将 A/D 转换器转换后的数字信号经波形稳定模块处理后, 存入数据缓存器 RAM 内, 而后 VGA 控制器在驱动显示器的时候, 读取数据缓存器中的数据并进行显示<sup>[5]</sup>。通常 VGA 显示器显示的数据量较大, 而 FPGA 内置的片内存储器资源很难满足存储量的需求, 因此, 一般都需要通过外接存储器进行扩展, 对于图像等大数据量处理系统通常选用 SDRAM 进行扩展<sup>[6]</sup>, 本系统只进行波形的显示, 不进行数据处理等操作, 故片内存储器足够满足使用要求。

需要说明的是, 信号的 A/D 采集时钟选为 125 MHz, 而 VGA 的显示标准选择的是视频电子标准协会 VESA (Video Electronics Standards Association) 即为 1280×1024@60 Hz, 故像素时钟为 108 MHz。为了产生这两种时钟, 在 FPGA 片外接 100 MHz 的晶振, 使用 FPGA 内部两个锁相环经倍频后得到。对于不同时钟速率之间的数据交换, 一般会通过使用 FIFO 进行缓冲, 本文使用双端口 RAM 进行缓存, 配置为一个读端口和一个写端口, 两个端口

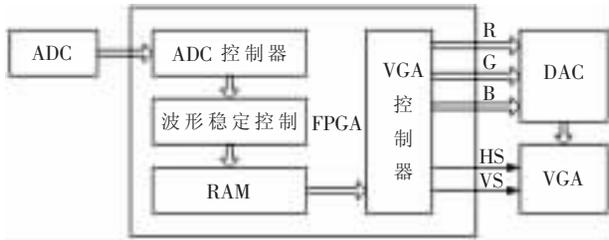


图4 系统实现框图

拥有各自独立的时钟(分别为108 MHz和125 MHz),设计简单的控制时序就可实现数据的正确读写。

### 3.1 存储数据宽度的选择

通常ADC的分辨率为12 bit或者14 bit,支持补码形式表示,数字信号表示的最大范围为4 096或者16 384,而实际的显示器的分辨率远远小于此值,常见的有640×480、1 024×768、1 280×1 024等。因此根据显示波形区域的大小,存储在显示缓存器中数据宽度可以缩减,例如波形显示区域的大小为1 024×512,选用横向显示,则可将显示数据的宽度截取为9 bit,这样一来最大值不会超过511,避免了数据值较大而无法显示的情况。本文中所选用的波形显示区域大小为1 024×768,即 $M=1 024$ , $N=768$ ,显示数据截取为10 bit,但需注意,并不是从采集进来的数字信号直接截取。为了防止数据较大而溢出波形显示区域,作如下处理:首先从ADC采集进来的数据分别截取9 bit和8 bit,然后将截取后的两个数据进行相加,结果为10 bit数据,其最大值不会超过768,这样就防止了显示溢出而导致的波形显示失真。

### 3.2 稳定显示波形策略

由于系统采集的时钟与VGA显示的像素时钟不同,通常都会选取部分数据进行显示,而其余的数据将会被丢弃,因此如何选取数据变得尤为重要,如果选取不合适,会造成显示波形闪动,无法分辨。为了使显示的波形稳定,在数据采集时进行了预处理:首先判断扫描点是否在波形显示区域内,如果在,则读取波形RAM中的数据并显示;否则对采集进来的信号进行基准点检测,当检测到基准点时,开始向波形RAM中写数据,写满时停止写入,而后面采集的信号全部丢弃。利用这种方式,显示的基准点位于显示区域最左边线,而通常需要将显示的基准点移至显示区域的中心位置。对于这种方式的实现方案是:首先定制大于或等于2倍于显示宽度大小的波形RAM,当扫描点不在波形显示区域中时,开始将采集的数据进行存储。当数据存储地址大于显示区域宽度一半时,开始检测基准点,同时将采集的数据继续写入波形RAM中,检测到基准点时,将此点对应的数据地址 $tadd$ 保存起来,而后继续存储直至存满为止。当扫描点到达波形显示区域时,从

地址 $radd$ 开始读取数据进行显示,这样就达到了目的。其中地址 $radd$ 的计算公式为:

$$radd = tadd - \frac{M}{2}$$

需要说明的是,以上介绍的稳定显示波形策略,存储器资源占用很少,大量采集的数据将会被丢失。当VGA控制器以像素时钟读取波形RAM时,从ADC采集进来的数据不会写入波形RAM,以保持波形的完整性;当VGA控制器不读取波形RAM时,ADC采集进来的数据以采集速率写入波形RAM中,直到写满后停止。对于本系统设计,当VGA控制器不读取波形RAM时,能够保证波形RAM写满完整一帧数据。当 $n_0 \leq y \leq n_0 + N$ 成立时,需要的时间为 $1 280 \times 768 \div 108 \text{ MHz} \approx 9.102 \mu\text{s}$ ,对波形RAM不进行写入操作。不满足时,需要的时间为 $1 280 \times 256 \div 108 \text{ MHz} \approx 2.427 \mu\text{s}$ ;如果波形RAM的大小为2 KB,采集速率为125 MHz,则写入波形RAM的时间为 $2048 \div 125 \text{ MHz} \approx 16.384 \text{ ns}$ ,可见对于波形RAM有足够的时间进行写入操作。以上分析均没有考虑消隐所用的时间。

### 3.3 VGA时序

在VGA接口协议中,不同的显示模式都有严格的工业标准,不同的分辨率或不同的刷新频率,故其时序也不相同<sup>[4]</sup>。VESA的标准参考显示时序如图5所示,B为行同步信号,占用112个像素时钟周期,C为行消隐后肩,D为有效数据显示期,E为行消隐前肩;P为场同步信号,占用3个行周期,Q为场消隐后肩,S为场消隐前肩,R为行有效显示期。在逐行扫描情况下,1 280×1 024分辨率有效显示区域为每行1 280个像素,一场1 024行,实际考虑到行消隐和场消隐时间的影响,实际分辨率为1 688×1 066。场同步信号VS用来确定一帧图像的开始和结束时间,确保图像数据从左到右、从上到下扫描,以形成一幅幅图像。行同步信号HS标志着一行像素的开始和结束,使图像数据显示在屏幕从左到右的有效区域。

首先根据刷新频率确定主时钟频率,然后由主时钟频率和图像分辨率计算出行总周期数,再把同步、消隐

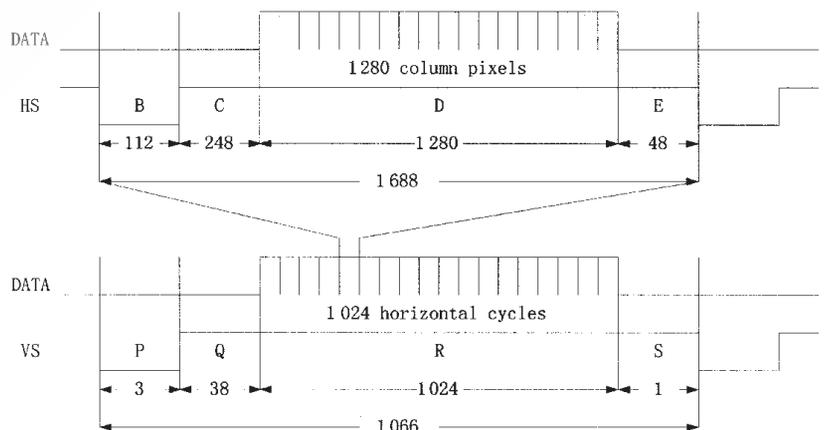


图5 VGA时序图

各时段的时间按照主计数脉冲源频率折算成时钟周期数。在 FPGA 中利用计数器,以计算出的各时段时钟周期数为基准产生不同宽度和周期的脉冲信号,利用它们的逻辑组合产生视频 DAC 的控制信号和 VGA 接口的同步信号。

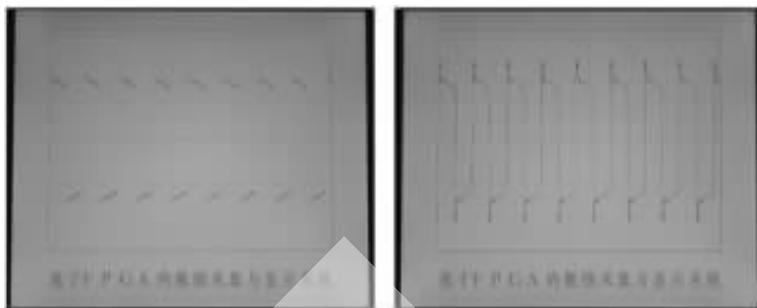
#### 4 实验结果及分析

对本文提到的波形显示方法进行了实验验证,分别对采集的正弦波和方波进行两种方法的显示。图 6(a)为方法一显示的方波,可以看出,方法一对于变化比较陡峭的波形显示,会出现很多虚点,视觉效果不佳,不利于显示波形变化陡峭的波形。图 6(b)为方法二显示的方波,这种方法对于任意波形的显示都具有很好的显示效果,不存在方法一中提到的波形不连续情况,视觉上达到平滑的效果。由此可见,方法二显示的波形线条清晰,适合各种波形的显示,比方法一显示的波形视觉效果更好。

本文针对 VGA 显示波形的美观性要求,首先在介绍 VGA 显示原理和时序控制器的设计方法的基础上研究了波形存储器的数据宽度选择以及一种波形稳定显示的策略,然后探讨了两种 VGA 显示波形的方法,第一种方法可以显示“变化缓慢”的波形,对于“比较陡峭”的波形显示不连续,效果不佳;第二种方法对于任何一种波形都可以连续地显示,具有很好的视觉显示效果。本文所述的波形显示方法为新型示波器的设计提供了设计思路。

#### 参考文献

- [1] 赵丽莉,邸志刚.用 FPGA 实现数字语音系统中的 VGA 控制器[J].电视技术,2007,47(6):166-170.
- [2] 邓春健,王琪,徐秀知.基于 FPGA 和 ADV7123 的 BGA 显示接口的设计和应用[J].电子器件,2006,29(12):1325-



(a) 方法一方波显示 (b) 方法二方波显示

图 6 实验显示结果

1328.

- [3] 王恒心,熊庆国,王鑫.基于 FPGA/CPLD 的嵌入式 VGA 显示系统[J].微计算机信息,2008,24(9-2):146-148.
- [4] 陈彬,伍乾永,刘永春.基于 FPGA 的 VGA 的控制模块设计[J].微电子学,2008,38(4):306-308.
- [5] 陈兆节,卢建华.基于 FPGA 的 VGA 显示接口的研究与设计[J].交通与计算机,2005,23(2):47-49.
- [6] 孙艳,孙爱良,王紫婷.基于 FPGA 的 VGA 显示控制器的实现[J].自动化与仪器仪表,2008(6):106-107.
- [7] 曹允.基于 FPGA 的 VGA 时序彩条信号实现方法及应用[J].电子工程师,2002,28(7):42-45.

(收稿日期:2011-04-27)

#### 作者简介:

胡建革,男,1969 年生,硕士研究生,主要研究方向:电路理论及应用。

宋海声,男,1969 年生,高级实验师,主要研究方向:电路理论及应用。

陶中幸,男,1986 年生,硕士研究生,主要研究方向:信号与信息处理。