

基于 ECRL 电路的两种改进绝热电路*

张丽¹, 郭宝增²

(河北大学 电子信息工程学院, 河北 保定 071002)

摘要: 传统绝热电路 ECRL(Efficient Charge Recovery Logic)有两个缺点,其一是电路节点能量不能被完全回收;其二是电路的功耗随着负载电容的增大而增加。对此提出了两种改进型电路,一种是构造一条能量回收通路,使得未回收的能量通过构造的通路得到回收,用有限的绝热损失实现非绝热能量的完全回收;另一种是通过自举操作使得电路的非绝热过程仅涉及电容较小的驱动 MOSFET 管,与负载电容不直接相关。采用 0.5 μm BSIM3v3 模型工艺的 HSPICE 对上述电路进行仿真,结果表明,与 ECRL 电路相比,两种改进型电路的功耗均有一定程度的降低。

关键词: ECRL; 能量回收; 绝热电路

中图分类号: TN43

文献标识码: A

文章编号: 1674-7720(2011)16-0019-03

Two improved adiabatic circuits based on ECRL

Zhang Li, Guo Baozeng

(College of Electronics and Information Engineering, Hebei University, Baoding 071002, China)

Abstract: Traditional ECRL(Efficient Charge Recovery Logic) adiabatic circuit has two disadvantages. One is that the energy of the circuit nodes can not be completely recycled; The other is that the power consumption is rapidly raised with the increase of load capacitance. Two improved circuits overcoming two disadvantages are proposed. One is to construct an energy recovery path, through which the energy un-recycled is recovered to achieve full recovery with limited non-adiabatic energy loss. The other is to make the non-adiabatic process of the circuit associate with only the smaller MOSFET gate capacitance instead of the load capacitance by a bootstrap operation. The HSPICE simulation with 0.5 μm BSIM3v3 model technology proves that the power consumption of the two improved circuit has a certain degree of reduction compared to ECRL circuit.

Key words: ECRL; energy recovery; adiabatic circuit

通常降低集成电路功耗的方法有减小负载电容、减少开关跳变和降低电源电压等,但是这些降低功耗的方法是有限制的。近年来人们提出了一种在电路设计上能够极大减少电路功耗的新型电路,称为绝热电路,也称能量回收电路。

绝热电路可分为完全绝热电路与半绝热电路两种,前者从理论上讲功耗可以达到零,但是需要复杂的可逆逻辑电路,实现起来难度很大,后者虽然没有实现零功耗,但是电路结构相对简单,且相对传统 CMOS 电路功耗已明显降低,因此不完全绝热电路近年成为主要研究对象。不完全绝热电路有 ECRL、2N-2P、2N-2N2P、PAL、PAL-2N 等^[2-4],这些电路在一定程度上实现了低功耗,但各自存在一定缺陷,其一是电路节点能量不能被完全

回收,残留能量与 MOSFET 的开启电压 V_T 有关,如果节点电容是 C ,则电路的非绝热损耗为 $E=CV_T^2$ 。其二是电路功耗与电路的负载电容直接相关,功耗随着负载电容的增大而增加。

针对传统 ECRL 电路的缺点提出了两种改进型电路。

1 ECRL 电路

ECRL 电路的结构和功率时钟如图 1 所示,功率时钟一方面为电路提供能源,同时也控制着电路的工作节奏,实现了求值和能量的回收。ECRL 的工作过程分为预充求值阶段、保持阶段、回收阶段以及等待阶段。

假设在预充求值阶段 INB 为逻辑“1”,IN 为逻辑“0”,此时由于 MN2 导通而将 OUTB 节点拉到低电平,当 CLK 上升到 MOS 管的阈值电压 $|V_{TP}|$ 时 MP1 导通,CLK 通过 MP1 对 OUT 节点充电,但在 CLK 未达到 $|V_{TP}|$ 之前时,

* 基金项目:本课题获河北省教育厅科研基金项目支持(2009310)

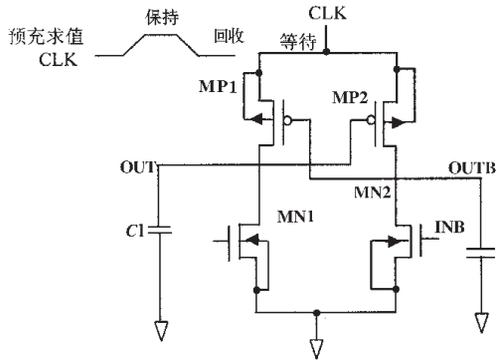


图1 ECRL 电路结构以及功率时钟

MP1 是截止的, 因此产生了非绝热损失 $E_{\text{charge}} = \frac{1}{2} C |V_{\text{TP}}|^2$ 。

当 CLK 达到最大值时, OUT 节点也随着 CLK 达到最大值, 电路进入保持阶段。当 CLK 由最大值随时间下降时, 通过 MP1 将能量回收至 CLK, 但 OUT 节点不能随 CLK 下降到零而到 $|V_{\text{TP}}|$, 这是因为当 CLK 下降到 $|V_{\text{TP}}|$ 时 MP1 将截止。在下一周期中存储在负载电容上的这部分能量通过 MN1 流到地, 造成了非绝热损失 $E_{\text{discharge}} = \frac{1}{2} C |V_{\text{TP}}|^2$ 。

回收过程结束后, 电路进入等待阶段, 输入端重新赋值进入下一周期^[5]。

利用 0.5 μm BSIM3v3 工艺模型, 在功率时钟的上升和下降时间均为 20 ns、频率为 12.5 MHz 幅值为 5 V、负载电容分别为 20 fF 的条件下, 通过 HSPICE 仿真得到其功耗为 0.217 23 μW 。

2 改进的 ECRL 电路(IECRL)

ECRL 电路的节点能量不能被完全回收, 这影响了电源的回收效率。IECRL 电路是对 ECRL 电路的改进, 该电路通过构造一条能量回收通路使得未回收的能量得到回收。IECRL 电路的结构和工作时钟如图 2 所示。

假设在预充求值阶段输入 INB 为逻辑“1”, IN 为逻辑“0”, 与 ECRL 电路相同, OUTB 节点被拉到低电平, 区别在于 CLK 未达到 $|V_{\text{TP}}|$ 之前时, CLK1 为高电平使 MN3 导通, 因此在输出 OUT 节点从零到 $|V_{\text{TP}}|$ 过程中无非绝热损失。当 CLK 达到最大值时, OUT 也随着 CLK 达到最大值, 电路进入保持阶段。当 CLK 由最大值下降时, 通过 MP1 将能量回收至 CLK, 此时 CLK1 为高电平使得 MN3 导通, 残余能量通过 MN3 回收至 CLK, 因此 OUT 可以下降到零。回收过程结束后, 电路进入等待阶段, 输入端重新赋值进入下一周期。

IECRL 的能耗仅包括绝热能
22

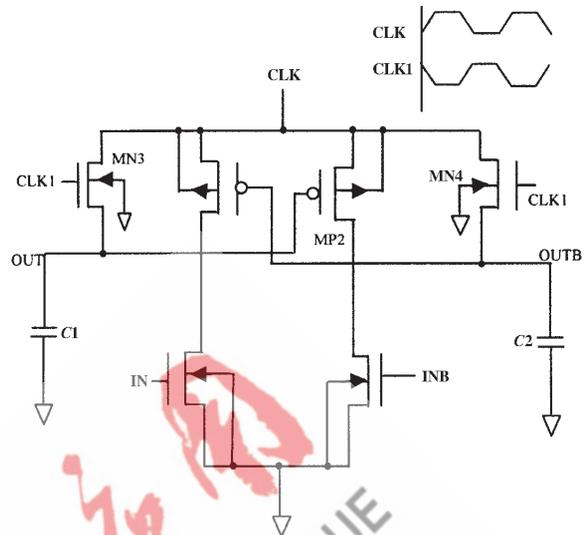


图2 IECRL 电路结构以及功率时钟

耗, 其第一部分是 CLK 对负载电容的充放电能耗 $E_1 = 2 \frac{R(C_L V_{\text{DD}})^2}{T}$, 其中 R 为输出 MOS 管的等效导通电阻(假设 $R_N = R_P$), C_L 为负载电容, T 为两相功率时钟的上升和下降时间, 第二部分是 CLK1 对负载电容的充放电能耗 $E_2 = \frac{R(C_L V_{\text{TN}})^2}{T}$ 。

IECRL 电路的仿真结果图 3 所示, 由于对 ECRL 电路进行改进, 输出 OUT 和 OUTB 节点的低电平已经达到零, 说明能量回收有一定程度的改善。

利用 0.5 μm BSIM3v3 工艺模型, 在功率时钟的上升和下降时间均为 20 ns、频率为 12.5 MHz 幅度为 5 V、负载电容为 20 fF 的条件下, 通过 HSPICE 仿真得其功耗为 0.529 67 μW 。在相同条件下, IECRL 电路的功耗约为

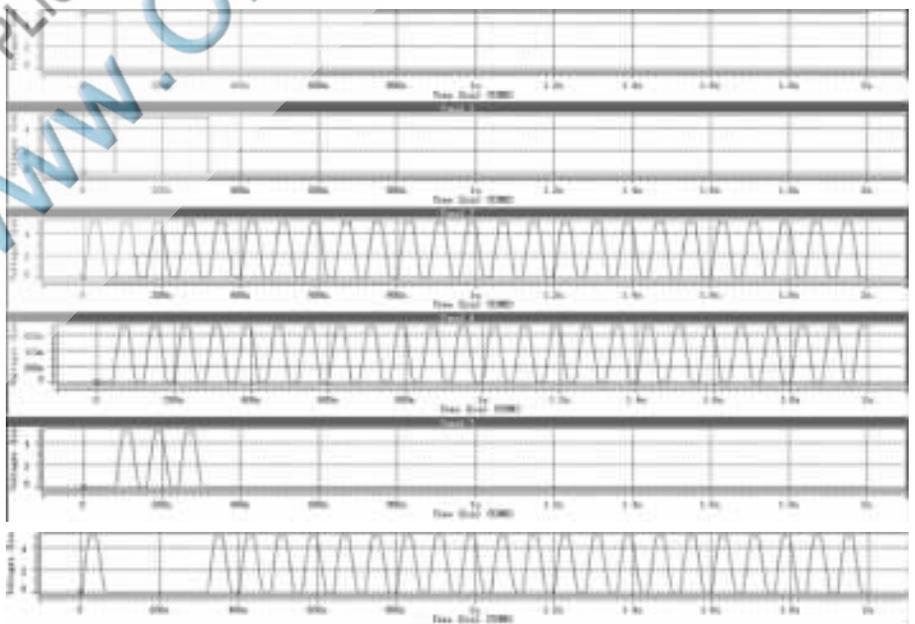


图3 IECRL 的仿真结果

ECRL 电路的 2.4 倍,这是因为在预充求值和回收期间 CLK1 使额外增加的 NMOS 管导通来减少电路的非绝热损失,但 IECL 电路的输出低电平降到零,提高了电路的抗干扰性。IECL 电路的优势在于在实际的由阻尼振荡产生的时钟电路中,回收的能量可以及时补充给 CLK,使得电路一直维持下去。

3 改进的自举能量恢复电路(IBERL)

IBERL 电路通过自举操作使得电路的非绝热过程仅涉及电容较小的驱动 MOSFET 管,与负载电容不直接相关。IBERL 电路的结构和时钟电路如图 4 所示。

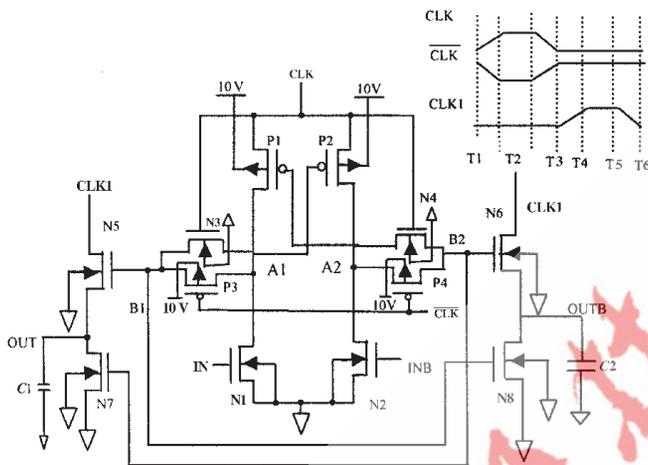


图 4 IBERL 的结构图以及功率时钟

B1 和 B2 是自举操作的节点,电路中一个脉冲的周期分为六个时间段: T_1 、 T_2 、 T_3 、 T_4 、 T_5 、 T_6 。假设输入 INB 为逻辑“1”,IN 为逻辑“0”,在 T_1 时间段,由于 N2 导通,因此 A2 点的电压为零。当 CLK 随时间上升到 $|V_{TP}|$ 时 P1 导通,CLK 通过 P1 对 A1 节点充电,当 CLK 达到最大值时,A1 节点电压也达到最大值。因为 A1 点与 B1 点之间采用互补传输门,不会有阈值损失,所以 B1 节点的电压也随着 CLK 达到最大值,而节点 A2 和 B2 保持在零电位。B1 节点的高电平使 N8 导通,将输出 OUTB 节点拉到低电平。 T_2 时间段各节点电压大小不变。在 T_3 时间段,CLK 由高水平向低电平变化的过程中,A1 节点随着 CLK 变化,由于 N3 和 P3 的接法相当于一个反向的二极管,因此节点 B1 的电荷不会通过 N3 或者 P3 倒流到 CLK,电位依然是 CLK 的最大值,节点 A2 和 B2 不受影响,依然保持在零电位。在 $T_4 \sim T_6$ 时间段,N3 和 P3、N4 和 P4 保持在截止状态,OUTB 为低电平;当 CLK1 逐渐升高时,由于 B1 节点与 CLK1 节点间寄生电容的作用,节点 B1 由于自举作用升高使得 N5 保持在导通状态,输出信号是一个与 CLK2 相同的脉冲,由于自举操作的 NMOS 管的栅电容远小于负载电容,因此电路的功耗可以降低很多。

IBERL 的功耗包括绝热能耗和非绝热能耗。绝热能耗包括两个部分:第一部分是对负载电容的充放电能耗

$E_1 = 2 \frac{R(C_L V_{DD})^2}{T}$,其中 R 为 MOS 管的等效导通电阻(假设

$R_P = R_N$), C_L 为负载电容, T 为两相功率时钟的上升和下降时间;第二部分是对 IBERL 电路内部节点 A1 和 A2 的充放电能耗 $E_2 = 2 \frac{R C_A^2 (V_{DD} - |V_{TP}|)^2}{T}$,其中 C_A 为 A1 或 A2

的电容(假设 $C_{A1} = C_{A2}$)。非绝热能耗包括三个部分:第一部分是 CLK 达到 $|V_{TP}|$ 时,PMOS 管才会导通,所以 IBERL 电路具有非绝热损失 $E_3 = \frac{C_A V_{TP}^2}{2}$;

第二部分是 CLK 降低到 $|V_{TP}|$ 之下时,节点 A1 或者 A2 的能量未被回收, $E_4 = \frac{C_A V_{TP}^2}{2}$;

第三部分是节点 B1 或者 B2 的电荷不能被回收,因此造成了非绝热损失 $E_5 = \frac{C_B V_{DD}^2}{2}$,其中 C_B 是 B1 节点或者 B2 节点的电容($C_{B1} = C_{B2}$)^[6]。

利用 $0.5 \mu\text{m}$ BSIM3v3 工艺模型,在功率时钟的上升和下降时间均为 20 ns 、频率为 7.14 MHz 幅值为 5 V 、负载电容为 20 fF 的条件下,通过 HSPICE 仿真得其功耗为 $0.16924 \mu\text{W}$ 。在此条件下,IBERL 电路的功耗约为 ECRL 电路的 70%。

图 5 分别表示了 ECRL 电路和 IBERL 电路功耗随负载电容的变化情况,可以看出随着负载电容的增大,IBERL 电路相比 ECRL 电路功耗增加更缓慢,因此在负载比较重的情况,IBERL 电路的能耗优势就会越明显。

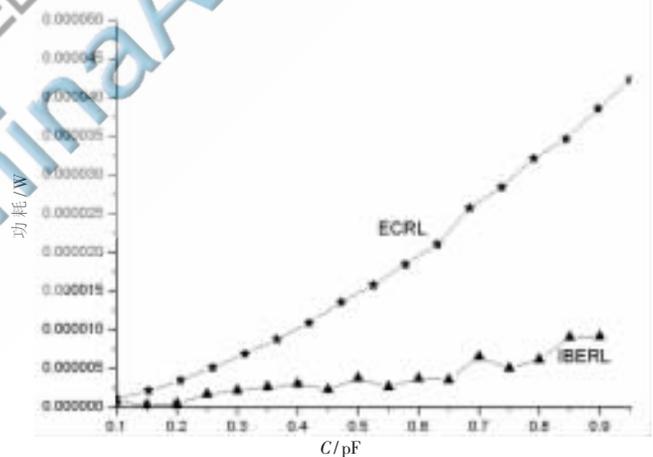


图 5 ECRL 电路和 IBERL 电路功耗随负载电容变化情况

IECL 电路构造了一条能量回收通路使得未回收的能量通过构造的通路得到回收,用有限的绝热损失实现非绝热能量的完全回收;IBERL 电路通过自举操作,使得电路的非绝热过程仅涉及电容较小的驱动 MOSFET 管,与负载电容不直接相关。HSPICE 的仿真结果表明,两种改进型电路的性能比传统的 ECRL 电路有明显改进。

参考文献

[1] DAVARI B. CMOS scaling for high performance and low

- power the next ten years[J]. Proc.of the IEEE, 1995,83 (4):595-606.
- [2] YO Y M, DENG K J. An efficient charge recovery logic circuit[J]. IEEE journal of solid-state circuits, 1996,31(4): 514-522.
- [3] 罗家俊, 李晓民, 仇玉林, 等. 一种新型的绝热低功耗逻辑电路[J]. 固体电子学研究进展, 2003,23(2):225-228.
- [4] NG K W, LAU K T. Improved PAL-2N logic with complementary pass-transistor logic evaluation tree[J]. Microelectronics Journal, 2000,31(1):55-59.
- [5] WATKINS B G. A low-power multiphase circuit technique [J]. IEEE journal of solid-state circuits, 1967,2(4):213-220.
- [6] 周润德. 采用自举技术的不完全绝热电路[J]. 清华大学学报, 2004,44(7):981-983.

(收稿日期: 2011-06-15)

作者简介:

张丽, 女, 1988年生, 本科生, 主要研究方向: 集成电路设计。

郭宝增, 男, 1953年生, 教授, 主要研究方向: 集成电路设计。

