

CDCE906 倍频性能分析

赵博, 李林, 姬红兵

(西安电子科技大学 电子工程学院, 陕西 西安 710071)

摘要: 倍频后的时钟作为采样时钟提供给模数转换器(ADC), 倍频带来的时钟抖动会限制输出信噪比的提高。为了尽可能降低时钟抖动, 可以采用专用时钟合成器实现倍频。CDCE906 是一款高稳定性的时钟合成芯片, 时钟抖动较低。本文提出了 CDCE906 倍频在某雷达信号处理机中的软硬件实现, 并对倍频后时钟进行分析, 实验结果证明其性能优于普通 FPGA。

关键词: CDCE906; 倍频; 低抖动

中图分类号: TN609

文献标识码: A

文章编号: 1674-7720(2011)16-0025-03

CDCE906 frequency doubling performance analysis

Zhao Bo, Li Lin, Ji Hongbing

(School of Electronic Engineering, Xidian University, Xi'an 710071, China)

Abstract: Clock jitter caused by frequency doubling will limit the improvement of the output SNR of the ADC. In order to reduce the clock jitter as much as possible, using a dedicated clock frequency synthesizer to achieve the frequency doubling is a good choice. CDCE906 is a highly stable clock synthesis chip, with low jitter. This article present the implementation both in hardware and software of CDCE906 frequency doubling in a radar signal processor. The experimental results show CDCE906 performance is superior to that of general FPGA.

Key words: CDCE906; frequency doubling; low jitter

雷达信号处理机中的 ADC 采样时钟经常是由外部系统提供的时钟倍频而来, 而倍频就会带来时钟的抖动, 造成模拟信号在幅度上的误采样, 从而恶化信噪比。如何尽可能地降低倍频带来的抖动是一个需要关注的问题。目前 FPGA 倍频应用较广, 其原因主要有两点: (1) FPGA 已经成为很多系统的控制核心, 利用它来实现倍频, 不必添加额外倍频电路, 系统体积小、集成度高; (2) FPGA 模块化设计为设计人员带来了很方便, 节约了系统开发时间, 使设计人员只需调用这些模块或 IP 核, 设置参数即可实现倍频功能, 简单方便。但它也存在一些缺点, 以 XINLIX 公司的 FPGA 为例, 中低端 FPGA 数字时钟管理(DCM)基于延迟锁相环(DLL)技术, 在实现倍频时会带来较大的时钟抖动, 不适用于对时钟有较高要求的场合。XILINX 公司推出的 Virtex-5 等系列 FPGA, 采用了较为先进的时钟管理模块(CMT), 在 DCM 的基础上添加了锁相环(PLL)模块, 它能够提供低抖动的倍频时钟, 但其芯片价格高, 会增加系统的开发成本。如何找到更合适的方案, 既能实现高性能的倍频, 又能降低成

本, 专用的时钟合成器 CDCE906 就是一个很好的选择。本文介绍 CDCE906 倍频在某雷达信号处理机中的软硬件实现, 并对其倍频性能进行分析。

1 CDCE906 硬件电路设计

1.1 专用可编程时钟合成器 CDCE906

CDCE906 是 TI 公司推出的一款高稳定性可编程时钟合成器。它体积小、价格低廉, 并且能够通过 FPGA 进行控制。CDCE906 的特点是具有典型值为 60 ps 的低周期抖动, 采用了可编程的扩频时钟(SSC)技术能够降低系统的电磁干扰, 并且可以利用单个时钟源产生 6 个时钟, 具备时钟分发的功能。

CDCE906 可以接收晶振 (8 MHz~54 MHz)、LVCMOS 或者差分输入时钟(最高达 167 MHz), 通过 S0、S1、SDATA 及 SCLOCK 4 个管脚对 CDCE906 进行控制操作。当外部时钟输入 CDCE906 后, 对 3 个锁相环(PLL1、PLL2、PLL3)中的参考除法器 M 和反馈除法器 N 写入合适的值, 使 PLL 完成相应的频率合成, 3 个 PLL 的输出端连接到输出开关矩阵。

硬件纵横

Hardware Technique

输出开关矩阵主要包括 3 个部分:5×6 可编程开关矩阵 A,6 个 7 位可编程除法器(P0~P6)以及时钟翻转逻辑控制单元,6×6 的可编程开关矩阵 B。由于 PLL2 具有扩频时钟功能,所以 PLL2 有两个输出端,与 PLL1、PLL3 以及输入时钟的旁路输出共同组成了开关矩阵 A 的 5 个输入端。通过对开关矩阵 A 的控制,将 5 个输入端任意连接 P0~P5 的 6 个可编程除法器,可以对时钟进行分频翻转操作。之后,6 个除法器的输出构成了开关矩阵 B 的 6 个输入端,对开关矩阵 B 进行控制,可以将 6 个输入端任意连接 Y0~Y5 的 6 个输出端,Y0~Y5 即是最终的 6 个频率输出端。最终输出的频率可以通过式(1)来进行计算。

$$f_{out} = \frac{f_{in} \times N}{M \times P} \quad (1)$$

其中, f_{out} 代表输出频率, f_{in} 代表输入频率, M 、 N 分别表示 PLL 中参考除法器 M 的值和反馈除法器 N 的值, P 表示开关矩阵中所选择除法器的取值。

1.2 硬件电路原理设计

本文以 CDCE906 在某雷达信号处理机中的应用为例来说明其硬件电路实现方式。其中使用 XINLIX 公司的 XC3S250E FPGA 对 CDCE906 进行控制,硬件电路原理图如图 1 所示。一般外部系统提供的是均值为 0V 的时钟,而在信号处理机内部的数字电路均为 LVCOMS 电平,均值在 1.7V 左右。为了电路的正常工作,需要在外部时钟输入后加一个隔离电容,隔离电容两端的直流电平。系统时钟通过电平隔离电容后,分别接到 XC3S250E 和 CDCE906 的时钟输入端。其中 CDCE906 有两个 LVCOMS 输入端,可以选择其中任一个连接。XC3S250E 对 CDCE906 的 S0、S1 控制管脚及 SDATA 数据读写线和 SCLK 同步时钟进行控制操作。特别说明的是,CDCE906 的 SDATA 和 SCLK 管脚需要添加上拉电阻上拉到 3.3V,上拉电阻值可以根据实际情况调整,一般在 10kΩ~33kΩ 之间。

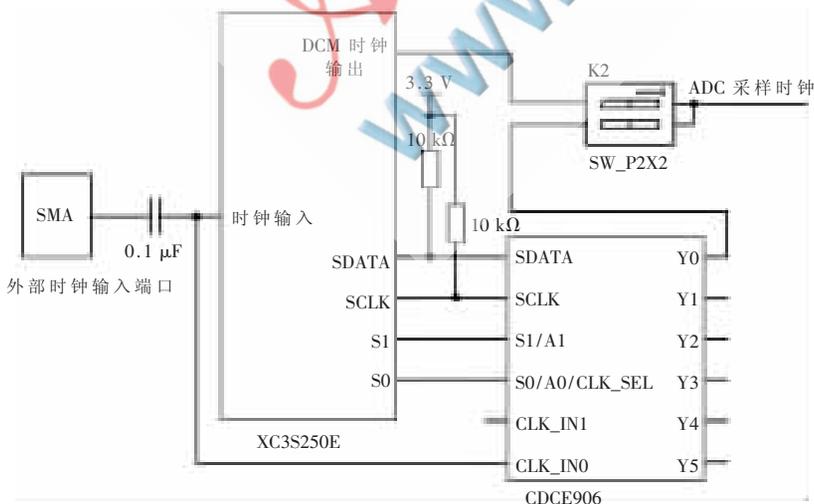


图 1 倍频电路原理图

2 CDCE906 软件程序设计

CDCE906 采用串行数据读写方式,SDATA 与 SCLK 分别为数据读写线与相应的同步时钟。需要注意的是,当 SDATA 没有进行读写操作时,SDATA 与 SCLK 都需要置高。SCLK 不仅是数据读写的同步时钟,还有使能数据读写的作用。

CDCE906 有两种写操作方式:字节写(Byte Write)与块写(Block Write)。CDCE906 所有字节都有缺省值,如果改动其中少数几个地址,不连续的字节就能获得所要的结果,建议使用字节写方式。如果要修改多数字节,块写方式更为方便。本文使用块写方式对相应字节进行修改。

图 2 为 CDCE906 块写方式通信协议,其中 Slave Address 为所要写入芯片的地址。一个控制器最多可以控制 4 个 CDCE906 芯片,所以 Slave Address 会有 4 个不同值。通过 S0、S1 控制管脚设置芯片的地址,则可以对相应的 CDCE906 芯片进行读写。CommandCode 的低 7 位为读写字节的偏移地址,CDCE906 一共有 26B,所以地址范围为 0000000~0011010。在使用块方式写的时候,需要注意所写的若干个字节的地址必须为连续的,从低字节往高字节写,每个字节的最高位先写入。每写完一个字节后,CDCE906 会回馈一个应答信号 ACK,写入为低,未写入为高。

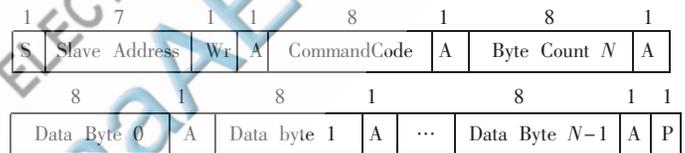


图 2 CDCE906 块写方式通信协议

CDCE906 的 S0、S1 为控制管脚,在缺省值条件下,S0 控制 CDCE906 是否处于休眠状态,S1 控制 CDCE906 输出端是否被禁止,均为低电平有效。当将 CDCE906 的第 10B 的最低 4 位全部置为 1 时,S1、S0 就成为了地址选择引脚,此时所读写芯片 S1、S0 的状态要与其 Slave Address 的最低两位相对应。

在本文中,只是单个 CDCE906 的应用,所以第 10B 最低 4 位使用缺省值 0000,Slave Address 使用缺省值 1101001,将 S1 与 S0 管脚始终置高。

3 时钟抖动评估方法

时钟抖动可以分为随机抖动与固有抖动。随机抖动是由大量的累积过程引起的,每个累积过程都有相当小的量级,例如热噪声、闪光噪声、散粒噪声等等。根据中心极限定律:很多不相关的噪声源共同作用生成的噪声接近于高斯分布,可以用均值 μ 和方差 σ 来描述。

$$g(x) = \frac{1}{\sqrt{2\pi}\sigma} \exp\left(-\frac{(x-\mu)^2}{2\sigma^2}\right) \quad (2)$$

硬件纵横

Hardware Technique

固有抖动是由相对确定的抖动源引起的,具有重复性与可预测的特点,例如开关电源噪声、串扰、电磁干扰等等。固定抖动与电路的设计有关,可以通过优化设计来降低或消除固定抖动^[1-2]。

对于采样系统,其时钟抖动包括采样时钟抖动与ADC孔径抖动,由于孔径抖动相比采样时钟抖动来说较小,可以忽略,所以在本文中提到的时钟抖动均为采样时钟抖动。采样系统的信噪比与时钟抖动方差有关,而与时钟抖动的均值没有关系^[3];时钟抖动方差越小,能获得越高的信噪比。

在采样时最常见的抖动为周期抖动(PJ)和时间间隔误差(TIE),对于某频率时钟,其周期为 P_1, P_2, \dots, P_n ,在工程应用中,可以认为标准差与RMS是相等的,则PJ RMS可以由式(3)计算得到,式中 P_{mean} 表示周期的平均值。

$$PJ_RMS = \sqrt{\frac{\sum_{i=1}^n (P_i - P_{mean})^2}{n-1}} \quad (3)$$

相应的TIE为 $T_1 = P_1 - P_{ideal}, T_2 = P_2 - P_{ideal}, \dots, T_n = P_n - P_{ideal}$, P_{ideal} 表示理想时钟周期,例如40 MHz的理想时钟周期为25 ns。TIE RMS可以由式(4)得到,式中 T_{mean} 表示时间间隔误差的平均值。

$$TIE_RMS = \sqrt{\frac{\sum_{i=1}^n (T_i - T_{mean})^2}{n-1}} \quad (4)$$

$$T_i - T_{mean} = P_i - P_{ideal} - \frac{\sum_{i=1}^n P_i - nP_{ideal}}{n} = P_i - P_{mean} \quad (5)$$

由式(5)可以得到TIE_RMS与PJ-RMS相等,从这点可以看出,不论分析周期抖动或是时间间隔抖动,其所得的结果是一致的,在下文中主要分析TIE,在实际应用中,TIE也是最常用的抖动指标。

4 实验结果分析

本文中主要计算倍频时钟的TIE RMS。对于一些型号的示波器,在测量时会有此参数统计,对于多数没有这个功能的示波器来说,可以将时钟存储下来,通过计算机进行时钟抖动分析。

按照某雷达信号处理机的指标要求,重点分析从外部输入10 MHz时钟同时通过XC3S250E DCM模块与CDCE906倍频获得40 MHz和20 MHz时钟的抖动TIE RMS。

4.1 40MHz 倍频时钟抖动分析

10 MHz时钟由Tek AFG3101信号发生器产生。倍频获得40 MHz倍频时钟分别通过Lecroy WaveSurfer454和Tek DPO7254示波器进行频率观察并保存4 000个时钟周期数据。其中Lecroy WaveSurfer454每次保存400个周期,需分10次保存。这两台示波器采样率差别较大,

Lecroy WaveSurfer454采样率为2 GS/s, Tek DPO7254采样率为40 GS/s。

表1列出了XC3S250E DCM模块及CDCE906分别产生的40 MHz时钟的TIE RMS。可以看出,尽管由于不同示波器的测量噪声等因素所得结果不尽相同,但是不论使用哪种示波器进行测试,由CDCE906倍频所得的40 MHz时钟其抖动明显小于XC3S250E DCM模块产生的结果。考虑到Tek AFG3101产生的10 MHz时钟本身就存在抖动,这个结果并不能代表最终某雷达信号处理机中倍频时钟抖动的结果。

表1 时钟抖动分析结果

示波器型号	保存周期数	XC3S250E DCM 模块	CDCE906
		TIE RMS/ns	TIE RMS/ns
Lecroy WaveSurfer454	4 000	0.141 2	0.067 1
Tek DPO7254	4 000	0.100 5	0.055 9

图3(a)和图3(b)为分析DPO7254保存的70 000个40 MHz时钟周期所得的时钟抖动直方图。由于采样率为40 GS/s,所以直方图在X轴上是以0.025为间隔的。图3(a)近似瑞利分布,而图3(b)为高斯分布。从图3(a)与图3(b)可以看出两个问题:(1)CDCE906倍频输出的时钟只存在随机抖动,而XC3S250E DCM模块产生的时钟不仅有随机抖动,还存在固有抖动;(2)图3(a)中数据分布离散程度大于图3(b),通过计算得XC3S250E DCM模块时钟抖动TIE RMS为0.099 8 ns, CDCE906的时钟抖动TIE RMS为0.0562 ns;与表1相比,TIE RMS有细微差别,但是同样可以明显地看到CDCE906倍频所得的40 MHz时钟的抖动小于XC3S250E DCM模块产生的结果。

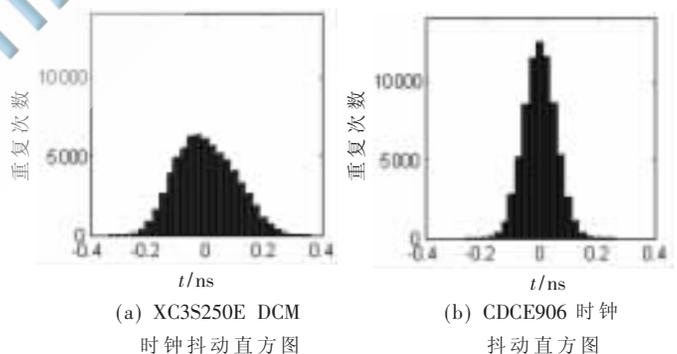


图3 40 MHz 时钟抖动直方图

4.2 20 MHz 倍频时钟抖动分析

使用Tek DPO7254保存9 000个20 MHz倍频时钟周期,对时钟抖动的结果进行分析。

图4(a)和图4(b)为所分析20 MHz时钟的时钟抖动直方图。图4(a)已经呈双峰状分布,这是固有噪声与随机噪声叠加的结果, XC3S250E内部倍频电路是产生固有噪声的主要原因。其抖动TIE RMS为0.126 9 ns;而

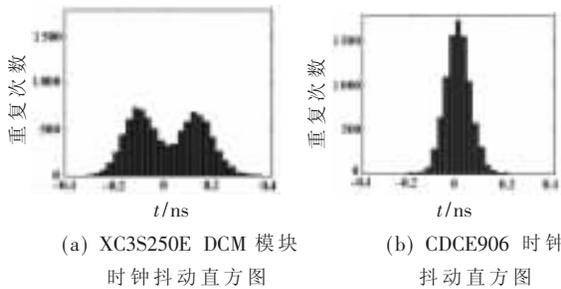


图 4 20 MHz 时钟抖动直方图

图 4(b) 仍是高斯分布, CDCE906 的时钟抖动 TIE RMS 为 0.0473 ns。与 4.1 节分析的结论相同, XC3S250E DCM 模块倍频所得的 20 MHz 时钟抖动大于 CDCE906 的倍频时钟。

本文结合专用时钟合成芯片 CDCE906 在某雷达处理机中的使用实例, 说明其使用灵活方便, 实现倍频功能时有较低的时钟抖动, 其倍频产生的时钟适合提供给 ADC 作为采样时钟。因此 CDCE906 是一款倍频性能好, 价格低廉的时钟合成芯片, 可以在有时钟合成需要的场合进行推广。

参考文献

- [1] 李艳平. 高速时钟信号抖动的 ADC 测量技术研究[D]. 成都: 电子科技大学, 2009.
 - [2] 陈明华, 张昌俊. 高速互联链路中参考时钟的抖动与测量分析[J]. 电子工程专辑, 2010(4).
<http://www.eet-china.com/>
 - [3] 张俊杰, 乔崇, 等. 高速数据采集系统时钟抖动研究[J]. 中国科学技术大学学报, 2005, 35(2): 227-231.
 - [4] TEXA INSTRUMENTS Inc. CDCE906 Datasheet. 2007.
 - [5] Xilinx Inc. Spartan-3 Generation Configuration User Guide. 2008.
- (收稿日期: 2011-06-20)

作者简介:

赵博, 男, 1986 年生, 硕士研究生, 主要研究方向: 硬件电路设计。

李林, 男, 1980 年生, 讲师, 主要研究方向: 信号与信息处理。

姬红兵, 男, 1963 年生, 教授, 博士生导师, 主要研究方向: 模式识别, 现代信号处理, 雷达信号处理。