

基于 MAXII570 的高精度同步时钟信号 在分布式录波器中的实现

房树超¹, 李芹²

(1. 国电南思控制系统有限公司, 江苏 南京 211153;

2. 国网电力科学研究院实验验证中心, 江苏 南京 210000)

摘要: 同步时钟信号是分布式录波器系统任务顺利完成的关键。介绍一种利用可编程 CPLD 器件实现性能优良的分布式同步信号源。通过高度集成, 将 IRIG-B(DC) 解码器以及系统的各种同步逻辑电路集成在一个 MAXII570 芯片中, 构成一个高精度同步系统, 从而达到最佳同步效果。

关键词: 同步; IRIG-B; 秒脉冲; 分布式; 录波器

中图分类号: TM933.3+13

文献标识码: A

文章编号: 1674-7720(2011)15-0032-02

Implementation of precise synchronization clock signal in distributed fault and dynamics recorder based on MAXII570

Fang Shuchao¹, Li Qin²

(1. Smart Grid Nansi System Control Co, Ltd., Nanjing 211153, China;

2. Experiment and Verification Center, Smart Grid Electric Power Research Institute, Nanjing 210000, China)

Abstract: Synchronization clock signal is the key point in the performance of distributed fault and dynamics recorder system. This paper introduces a kind of distributed synchronization signal source with high performance using programmable CPLD chip. IRIG-B (DC) decoder and other synchronized logic circuits are integrated in a MAXII570 to make a high precise synchronization system, to get the best effect.

Key words: synchronization; IRIG-B; pulse per second; distributed; fault and dynamics recorder

随着智能电网技术大踏步地向前发展, 电力部门对故障录波装置的分布式应用要求越来越高, 对在分布式系统中的录波同步的要求也越来越严格, 仅采用单一的 GPS 对时系统已不能完全满足电网运行的要求。因此, 需要引入更多的启动逻辑作为系统同步录波的判据。

目前智能变电站的时间同步系统的主时钟多采用 GPS 和北斗的双系统对时, 对于作为从时钟的二次装置(如保护、测控、故障录波、合并单元等)一般采用 IRIG-B 码对时方式。长期以来, IRIG-B 码对时也一直是电力部门较为青睐的一种时钟源, 而且大多二次设备多采用 CPU 的方式进行编解码。但由于 CPU 在受到干扰的情况下容易出现死机、崩溃、复位等现象, 尽管时间短暂, 在故障录波的情况下是绝对不允许的。针对以上情况, 本文提出了一种基于 Altera 公司的 MAXII570 来实现

IRIG-B 解码器的设计思想, 利用 CPLD 基于硬件逻辑、对环境的抗干扰性能强等优势来避免产生类似的情况, 以提高设备运行的可靠性与安全性。

故障录波器是电力系统发生故障及振荡时能自动记录故障前、后过程的各种电气量变化的一种装置。它可以记录因短路故障、系统振荡、频率崩溃、电压崩溃等大扰动引起的系统电流、电压及其导出量(如有功、无功以及系统频率)的全过程变化。主要用于检测继电保护与安全自动装置的动作行为, 了解系统暂态过程中系统中各电参数的变化规律, 以及校核电力系统计算程序及模型参数的正确性等。目前, 故障录波装置的录波结果是分析电力系统故障的重要依据。

在分布式的录波系统中, 各子单元之间需要在同一节拍下完成模数转换工作, 以达到同步采样的功能。因

此需要一个“同步节拍器”来完成各子单元之间的信号同步,当出现故障的时候,由监测到故障的单元向本同步器发出录波启动信号,由本同步器向其他子单元发出同步录波的命令,从而达到同步录波的功能。

本文介绍的一种采用 MAXII570 实现分布式录波系统同步的设计思想,为充分利用 MAXII570 芯片资源,将上述所有同步启动信号的启动逻辑均集成在芯片中。

1 系统结构

采用 MAXII570 实现分布式录波系统的 IRIG-B(DC) 解码器的框图如图 1 所示。在变电站中由主时钟或扩展钟送出的 IRIG-B 码到达故障录波装置后,经过 MAXII570 解码后产生秒脉冲、串行时标等 TTL 信号。由于 TTL 传输距离比较短,很容易受到干扰,所以将其转换为 RS485 电平后发送给各子单元。这样不仅可以做到长距离传输,而且可以大大提高抗干扰性能。在实际的应用环境中,若主时钟系统送过来的 IRIG-B 码源为本身即为 RS485 信号,则在该系统中同样可以工作,只需调整光耦前端的限流电阻大小即可实现解码。

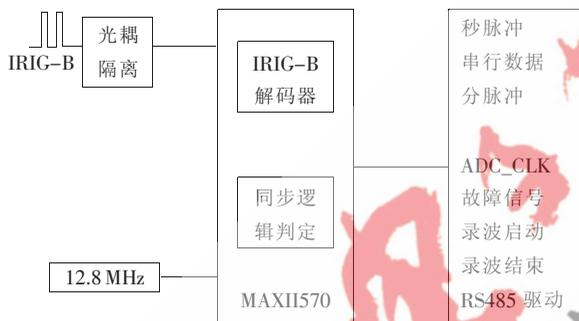


图 1 IRIG-B 解码器框图

为提高系统同步时钟的精度和稳定性,设计时采用一片 12.8 MHz 的温度补偿晶振的输出作为主振频率。温度补偿晶振的精度为 0.5 ppm,经过分频后可以产生稳定可靠的 12.8 kHz 作为模数转换的工作频率。

故障信号为各子单元发送过来的信号,作为系统的同步判据。当系统收到故障信号后,发出录波启动信号,通知各子单元启动录波,经过一段时间后(该时间可以由整定值设定),发出录波结束信号,完成本次录波工作。当出现连续故障时,只要对应的子单元发出故障信号即可,其余的同步工作由本系统完成。

2 IRIG-B 解码器的实现

图 2 为 IRIG-B(DC) 码的示意图^[1]。它是每秒一帧的时间串码,每个码元宽度为 10 ms,一个时帧周期包括 100 个码元,为脉宽编码。码元的“准时”参考点是其脉冲前沿,时帧的参考标志由一个位置识别标志和相邻的参考码元组成,其宽度为 8 ms。每 10 个码元有一个位置识别标志:P1、P2、P3,⋯,P9、P0,均为 8 ms 宽度;PR 为帧参考点,二进制“1”和“0”的脉宽分别为 5 ms 和 2 ms。

一个时间格式帧从帧参考标志开始。因此连续两个

8 ms 宽脉冲表明秒的开始,如果从第二个 8 ms 开始对码元进行编码,则分别为第 0,1,2,⋯,99 个码元。在 B 码时间格式中含有天、时、分、秒,顺序为秒-分-时-天,所占信息位为秒 7 位、分 7 位、时 6 位、天 10 位,其位置在 P0~P5 之间。P6~P0 包含其他控制信息。其中“秒”信息为第 1~8 个码元;“分”信息为第 10~17 个码元;“时”信息为第 20~27 个码元;第 5、14、24 码元为索引标志,宽度为 2 ms。时、分、秒均用 BCD 码表示,低位在前,高位在后;个位在前,十位在后。

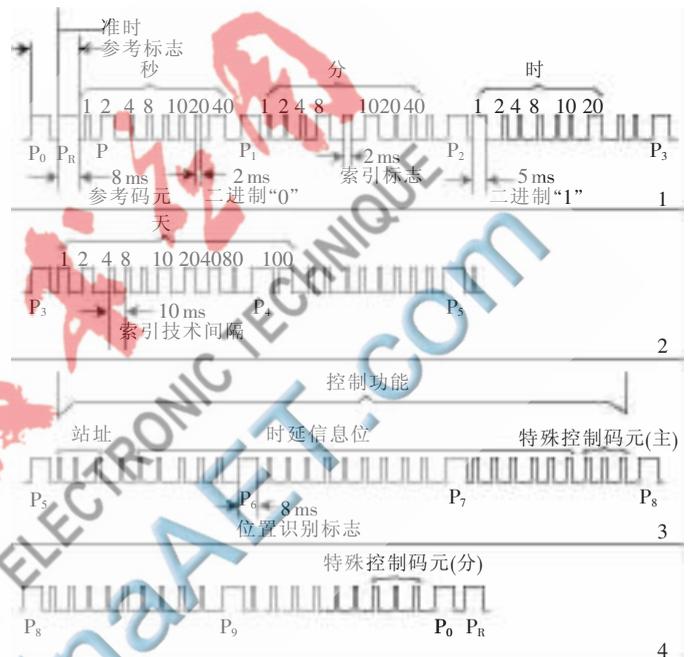


图 2 IRIG-B(DC)码示意图

IRIG-B 的解码过程采用最简单的脉宽测量方法实现,经过编译比较,该方法所耗用的 CPLD 资源最少。IRIG-B 码元信号的高低电平均为 1 ms 的整数倍,所以测量该信号的基本时钟采用 1 kHz 的时钟信号作为解码时钟。该时钟由系统输入的 12.8 MHz 时钟经过 12 800 次分频后产生。脉宽测量部分 VHDL 源代码描述如下:

```
measureBWide : process(inputHClk)
begin
  if rising_edge(inputHClk) then
    if pwmMeasureEnable='1' then
      --上升沿开始计数
      regCountH<=regCountH+1;
      --计数器++
      regOutputReadEnable<='0';
      --此时数据不可读
    else null;
    end if;
    if (regBLast='1')and( regBCurrent='0') then
      --降沿判断脉宽
```

```

case (regCountH) is
  when 5000 to 14000 =>
    regOutputData<="0010";
    - regOutputPwm00r1<='0';
  when 20000 to 30000=>
    regOutputData<="0101";
    regOutputPwm00r1<='1';
  when 35000 to 48000=>
    regOutputData<="1000";
    regOutputPwm00r1<='0';
  when others=>NULL;
    regOutputPwm00r1<='0';
  end case;
  regCountH<=0;
  regOutputReadEnable<='1';
  --此时数据可读
  else null;
  end if;
else NULL;
end if;
end process measureBwide;

```

IRIG-B 解码的主要任务是找到码元起始报头,也就是 2 个连续的占空比为 8 ms:2 ms 的脉冲。找到报头后,根据码元的分布情况逐一解出相应的数据即可。找到起始报头后,输出秒脉冲,同时根据解码数据输出串行数据。本文利用 12.8 MHz 进行 1 333 次分频产生 9 600 b/s 的串行数据波特率,虽然不是整数,但是可满足串行数据的误码率要求。

分脉冲由秒脉冲计数器产生,即计数器计满 1 min 时,输出一个脉冲。

3 同步逻辑信号的实现

分布式同步逻辑的实现为本系统的重要部分,也是分布式录波系统同步录波的关键。系统中有一个专门用于接收各子单元故障的信号,作为系统录波的专用引脚,该信号为 RS485 驱动,因此抗干扰能力比较强。实际应用中,不论哪一个子单元判断出故障信号,均向本系统发出一个触发电平,当本系统收到该电平后立即发出启动信号,启动录波后一段时间再发出录波结束电平,结束本次录波工作。

由于 CPLD 的并行处理功能强大与反应速度快的特

点,所以子单元发出故障信号的延时可以忽略不计(小于 10 ns)。由于不同的用户需要的录波文件大小不一致,所以将录波结束的控制参数交由用户在线设置。由故障、录波启动、录波结束三组信号再配合 IRIG-B 时钟信号即可实现系统的同步录波功能(此处的源代码不再赘述)。

4 实验结果

本系统的设计方案在 Altera 公司的 MAXII570^[2]上实现,编译环境为 QuartusII 8.0,编程语言为 VHDL^[3]。

本系统在理论上最多能够连接 32 个子单元(RS485 驱动能力的限制),实际应用中,由于受到产品外形结构的限制,最大连接了 8 个子单元,任意一个子单元发出故障信号时,均能通过本系统产生录波的同步信号,各项指标均满足录波器的相关指标要求。即使多个子单元发出故障信号,本系统亦能准确判断出故障信号,从而输出同步信号。

通过实际测试,本文设计方案只占用了 63% 的系统资源,留有相当大的剩余资源,非常方便实现后期的功能升级,而不用更换硬件。

本设计的难点在于如何正确地安排好芯片内部各个模块之间的时序,特别是当多个单元发出故障信号的情况下,如何能够准确地发出录波启动和录波结束信号,而不丢失录波文件。本系统可以用于暂态录波器,也可以用于稳态录波器。此外,经过调整相应的参数后,也可以用于其他的分布式实时系统。

参考文献

- [1] 中华人民共和国国家能源局 DL/T 1100.1-2009. 电力系统的时间同步系统 第 1 部分:技术规范[S].北京:中国电力出版社,2009.
- [2] Altera. MAX II programmable logicdevice family data sheet [EB]. 2002.
- [3] 潘松,黄继业.EDA 技术实用教程[M].北京:科学出版社,2007.

作者简介:

房树超,男,1975 年生,工程师,主要研究方向:FPGA 在电力系统设备中的应用。

李芹,女,1976 年生,工程硕士,工程师,主要研究方向:电力系统通信设备检测技术。