

低功耗多电源多地电压多米诺电路*

李欣欣,汪金辉,彭晓宏,侯立刚

(北京工业大学 电控学院集成电路与系统研究室,北京 100124)

摘要:设计了一种低功耗的多电源多地电压多米诺电路。该电路在多电源电压技术的基础上,通过提高地电压并采用共阱工艺降低功耗及优化面积。该设计采用 Charter 0.35 μm 2P4M N 阱 CMOS 标准工艺完成。Spectre 仿真结果表明,在相同的速度下,多电源多地电压多米诺电路比传统的多米诺电路的功耗减少了 25% 左右。

关键词:低功耗;多电源多地电压;共阱工艺

中图分类号: TN47

文献标识码: A

文章编号: 1674-7720(2011)14-0069-03

Low power dual-supply and dual-ground voltages domino circuits

Li Xinxin, Wang Jinhui, Peng Xiaohong, Hou Ligang

(VLSI & System Laboratory, Beijing University of Technology, Beijing 100124, China)

Abstract: A low power dual-supply dual-ground voltages domino circuit is presented in this paper. The domino circuit employs a high ground voltage and the shared-well technique to improve the dual-supply voltage technology and further reduce the power consumption and optimize the layout area. Based on chartered 0.35 μm 2P4M CMOS technology, simulation results shows that dual-supply dual-ground voltages domino circuits save power up to 25% as compared to conventional domino circuits under the similar speed.

Key words: low-power; dual-supply and dual-ground voltages; shared-well technology

多米诺电路以其速度快的优良特性,被广泛应用于微处理器、存储器、缓存器和探测器中的高速运算电路及其关键路径中,是工作频率在 2 GHz 以上系统中的最主流动态逻辑电路^[1-3]。但是,随着半导体工艺的飞速发展和芯片工作频率的提高,芯片的功耗迅速增加。尤其在手机、掌上电脑(PDA)、笔记本电脑等大量便携式设备出现以后,人们对低功耗的要求更加迫切^[4,5]。

在现有诸多降低多米诺电路功耗的方法中,多电源电压技术是被业界广泛应用和认可的低功耗技术^[6]。但是,多电源电压技术只考虑电源电压,而忽略了地电压,如果同时对地电压进行优化,多米诺电路的功耗可以进一步降低。另外,由于 N 阱工艺设计规则对 N 阱隔离的要求,不同的电源必须置于不同的 N 阱之中,由此造成版图面积急剧增大。因此,进一步优化多电源技术的功耗特性,同时解决该技术版图过大的问题,是电路设计者面临的关键问题。本文对多电源电压多米诺电路的地

电压进行了有效的优化,并提出了共阱多地技术,节省了版图面积,从而使多米诺电路满足当今集成电路发展中在速度、功耗和面积方面的要求,具有更加广阔的应用前景。

1 共阱多地技术的提出

传统的多电源电压多米诺电路如图 1(a)所示,在电路中采用低电源电压 V_{DDl} 来代替高电源电压 V_{DDh} ,由 CMOS 电路的功耗模型(式(1))可知,随着电源电压的降低,多米诺电路的功耗将明显减小。多米诺电路的版图设计如图 1(b)所示,由于两个 PMOS 管分别与不同的电源电压相连接,所以两 N 阱隔离。但是从图中可以明显看出,应用此种方法,版图设计复杂且大大增加了面积。此外,从式(1)还可以看出,除了降低电源电压即在电路中应用低电源电压技术外,还可以通过降低逻辑摆幅 V_{swing} 的方法,抑制电路的功耗,即应用高地电压 GND_h ($GND_h > 0V$),使逻辑摆幅由原来的 $V_{DD}-GND$ 变为 $V_{DDl}-$

* 基金项目:国家自然科学基金(60976028);北京工业大学博士启动基金(X0002013201103, X0002014201101, X0002012200802)

技术与方法 Technique and Method

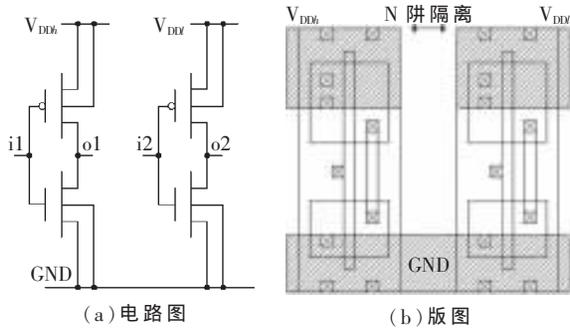


图1 传统的双电源电压电路

GND,或是 $V_{DD}-GND_h$,或是 $V_{DD1}-GND_h$,如图2和表1所示。

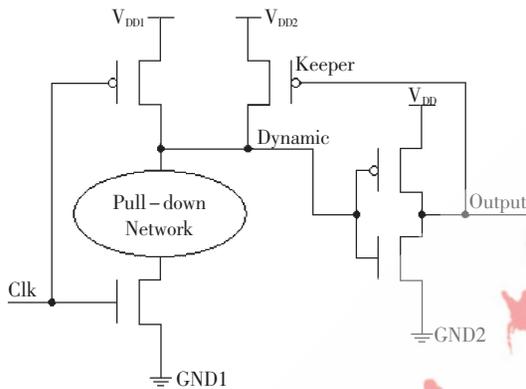


图2 多电源电压技术

表1 图2中应用的四种不同电路

四种不同电路	电源电压和地电压			
	V_{DD1}	V_{DD2}	GND_1	GND_2
电路1	V_{DD}	V_{DD}	GND	GND
电路2	V_{DD1}	V_{DD}	GND	GND
电路3	V_{DD}	V_{DD}	GND_h	GND_h
电路4	V_{DD1}	V_{DD}	GND_h	GND

电路的总功耗 P 为:

$$P = \alpha C_L V_{DD} V_{sw} f + I_{LEAK} V_{DD} + I_{SHORT} V_{DD} \\ = \alpha C_L V_{DD} (V_{DD} - V_{GND}) f + I_{LEAK} V_{DD} + I_{SHORT} V_{DD} \quad (1)$$

其中, α 表示开关系数, f 为时钟频率, I_{LEAK} 和 I_{SHORT} 表示分别漏电流和短路电流, C_L 是动态节点的负载电容。

为了进一步降低电路的功耗,并解决多电源电压技术版图过大的问题,本文提出了共阱多地技术,优化多电源多地电压多米诺电路。在共阱技术中,使 V_{DD} 和 V_{DD1} 及 GND 和 GND_h 分别嵌入同一个阱中,大大减少了芯片的面积。但是, V_{DD} 和 V_{DD1} 两根电源带的宽度以及 GND 和 GND_h 两根地电压带的宽度远远小于传统方法中电源带和地电压带的宽度,从而有可能引起电阻和电压降的增加。但是,在处理器数据通路和关键路径中,单元模块的高度通常是由用户所要求的结构和性能所决定的,因此,设计者可以通过增加单元模块的高度来增加电源带和地电压带的宽度,从而有效地解决这一问题。如图3所示,在共阱多电源多地技术中,PMOS晶体

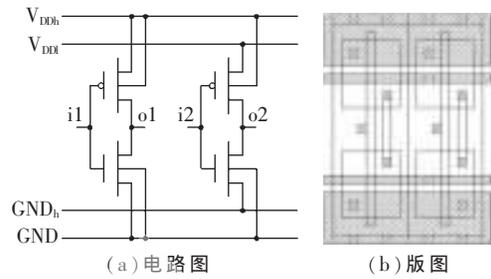


图3 共阱多地技术

管的源极连接在低电源电压 V_{DD1} 电源线上,衬底连接在高电源电压 V_{DDh} 上,NMOS的源极连接在高地电压 GND 上,衬底连接在标准地电压 GND 上。所以,不论是NMOS管还是PMOS管,均存在衬底反偏效应,如式(2)所示。

$$V_{th} = V_{th0} + \gamma (\sqrt{|-2\phi_F + V_{sb}|} - \sqrt{|-2\phi_F|}) \quad (2)$$

其中, V_{th0} 是当 $V_{sb}=0$ 时的阈值电压, γ 为体效应参数, $2\phi_F$ 是强反型状态下的硅表面势。

由阈值电压公式(2)可知,对于NMOS管, ϕ_F 为负值, γ 为正值,通过衬底反偏, V_{sb} 为正, $\sqrt{|-2\phi_F + V_{sb}|} - \sqrt{|-2\phi_F|}$ 为正, $|V_{th}|$ 增大;对于PMOS管, ϕ_F 为正值, γ 为负值,通过衬底反偏, V_{sb} 为负, $\sqrt{|-2\phi_F + V_{sb}|} - \sqrt{|-2\phi_F|}$ 为正, $|V_{th}|$ 仍增大。

由式(3)所示的阈值电压与亚阈值漏电流的关系可知,随着阈值电压的增大,亚阈值漏电流将明显减小。由于亚阈值漏电流是漏功耗的主要来源,因此共阱多电源多地技术,通过衬底反偏效应,进一步抑制了电路功耗。

$$I_{sub} = \frac{W_{eff}}{L_{eff}} \sqrt{\frac{q\epsilon_{si}N_{ch}}{2\phi_s}} V_T^2 \exp\left(\frac{V_{gs}-V_{th}}{nV_T}\right) \times [1 - \exp(-\frac{V_{ds}}{V_T})] \quad (3)$$

其中, W_{eff} 和 L_{eff} 分别是晶体管沟道的宽和长, V_{gs} 是栅源电压, V_{ds} 是源漏电压, ϵ_{si} 是硅的绝对介电常数, N_{ch} 是介带的有效态密度。

2 仿真结果与分析

基于 Chartered 350 nm 工艺,本文分别对 AND2、OR2、OR4、OR8、MUX2 和 MUX4 进行了 Spectre 仿真并完成了版图设计。高电源电压 V_{DD} 为 3.3 V,低电源电压 V_{DD1} 为 3.0 V,地电平 GND 为 0,高地电压 GND_h 为 0.3 V。而且,所有的多米诺门均工作在 500 MHz 频率下。由式(4)可知,电源电压 V_{DD} 与速度 v 成正比,为了达到相同的速度,必须调整晶体管的尺寸,使所有的多米诺门具有相同的延迟时间,从而有效比较了不同多米诺门达到相同性能的功耗和面积。

$$v \propto \frac{V_{DD}^{0.3} (1 - \frac{V_T}{V_{DD}})^{1.3}}{t_{ox}^{0.5}} \quad (4)$$

其中, v 、 V_T 和 t_{ox} 分别是动态节点的速度,阈值电压和硅氧化层的厚度。

技术与方法 Technique and Method

本文分析了四种电路结构的多米诺门:第一种结构是最基本的,即未采用任何优化方法的多米诺结构;第二种是采用多电源电压技术但不采用共阱工艺的多米诺结构;第三种是采用多电源电压技术并采用共阱工艺的多米诺结构;第四种是采用共阱工艺的多电源和多地电压技术的多米诺结构。仿真结果如图4和图5所示,图中的功耗和面积数值分别以第一种结构的多米诺门的功耗和面积进行了归一化。

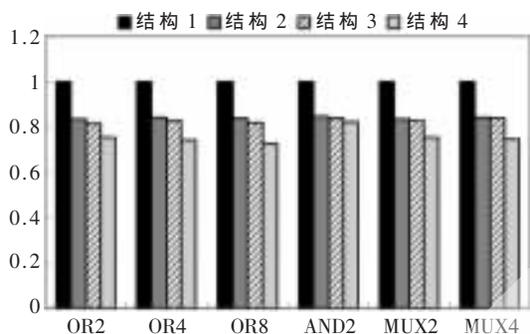


图4 六种多米诺门四种结构的功耗比

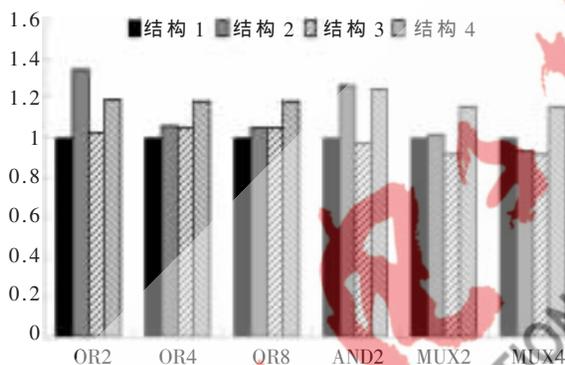


图5 六种多米诺门四种结构的面积比

图4显示出了不同多米诺门的功耗特性。由图4可以看出,多电源电压多米诺结构比传统多米诺结构的功耗减少了16%;采用共阱工艺的多电源电压多米诺结构比未采用共阱工艺的结构产生的功耗略小,这主要是MOS管反偏的结果;而多电源电压多地共阱结构则比传统结构的功耗减少了25%以上,比只采用了多电源电压结构的多米诺电路功耗减小了13%,这说明多电源电压多地共阱结构具有最优的功耗特性。

四种结构的多米诺门的面积比较如图5所示。从图中可以看出,对于OR2门和AND2门,由于电路结构较简单,第二种结构采用多地电压技术而未采用共阱技

术,大大增加了电路的版图面积,版图面积最大;对于OR4、OR8、MUX2和MUX4门,其下拉网络拓扑结构较复杂,受其影响,共阱技术作用减小,而且多电源和多地电压技术的应用,大大影响了电路速度。为了使这些门与其他门具有相同的延迟时间,下拉网络晶体管尺寸增大,增大的版图面积超过了共阱技术节约的面积,所以第四种结构版图面积最大。另外,无论哪种多米诺门,第三种结构的版图面积均小于第二种结构,这说明,在多电源电压多米诺门中,应用共阱技术能有效地节约版图面积。

本文在多电源电压技术的基础上,提出了采用共阱工艺实现的多电源多地电压多米诺电路结构,分别采用Cadence的Spectre仿真工具和Chartered 0.35 μm标准工艺库对电路性能进行了仿真和验证。结果表明,在500 MHz频率以及相同的速度下,多电源多地电压多米诺电路比传统的多米诺电路的功耗减少了25%左右。对于应用多电源电压的多米诺门,共阱技术适用于所有门;对于应用多电源和多地电压的多米诺门,共阱技术只适用于较少输入的简单门。

参考文献

- [1] RATNAYAKE R, KAVCIC A, Wei Guyeon. A high-throughput maximum a posteriori probability detector[J]. IEEE Journal of Solid-State Circuits, 2008, 43(8): 1846-1858.
- [2] SAPUMAL B W, NANDA S. A 9 GHz 65 nm Intel® pentium 4 processor integer execution unit[J]. IEEE Journal of Solid-State Circuits, 2007, 42(1): 26-37.
- [3] RUSU S, SINGER G. The First IA-64 Microprocessor[J]. IEEE Journal of Solid-State Circuits, 2000, 35(11): 1539-1544.
- [4] Liu Z, KURSUN V. Leakage power characteristics of dynamic circuits in nanometer CMOS technologies[J]. IEEE Transactions on Circuits and Systems II, 2006, 53(8): 692-696.
- [5] 汪金辉, 宫娜, 耿淑琴, 等. 45 nm低功耗、高性能Zipper CMOS多米诺全加器设计[J]. 电子学报, 2009, 37(2): 267-271.
- [6] HSU S, KRISHNAMURTHY R. Multiple supply-voltage zipper CMOS logic family with low active leakage power dissipation. United States Patent: No. 6693461. 2004-02-17. (收稿日期: 2011-01-21)

作者简介:

李欣欣,女,1986年生,硕士研究生,主要研究方向:超大规模集成电路设计。