

# 基于 DSP 的多通道音频信号处理平台的设计

孙国华, 揭建英

(北京七维航测科技股份有限公司, 北京 100080)

**摘要:** 介绍了一种基于 DSP 的多通道音频信号处理平台的基本电路, 设计了 DSP 与音频编解码器 TLV320AIC23B 的硬件接口, 实现了四通道音频信号输入和输出, 同时具有高性能、低功耗和便携等特点。该平台已经应用于有源抗噪声耳罩项目中。

**关键词:** DSP; TLV320AIC23B; 接口设计; 多通道; 便携式

中图分类号: TP391

文献标识码: A

文章编号: 1674-7720(2011)13-0010-03

## Design of multi-channel audio signal processing platform based on DSP

Sun Guohua, Jie Jianying

(Beijing SDi Science & Technology Co., Ltd., Beijing 100080, China)

**Abstract:** A multi-channel audio signal processing platform based on DSP was designed. This paper introduced system's basic circuit, and discussed the hardware interface design of TLV320AIC23B with DSP. The platform realized four-channel signal acquisition and output. Due to its low power consumption, and portable type powerful digital processing ability, the platform has been used in design of noise reduction headphone.

**Key words:** DSP; TLV320AIC23B; interface design; multi-channel; portable

DSP 芯片具有处理速度快、灵活、精确、抗干扰能力强、体积小及可靠性高等优点, 可满足对信号快速、精确、实时处理及控制的要求。本文基于 DSP TMS320VC5509A<sup>[1]</sup> (以下简称 VC5509A) 和 TLV320AIC23B<sup>[2]</sup> (以下简称 AIC23B), 成功研制出了一种可独立运行和上电自举加载程序的多通道音频信号处理平台。该平台已经应用于课题组研发的数字式抗噪耳罩项目中, 结合经典有源噪声控制算法, 经测试对单频噪声降噪明显。

### 1 平台总体结构和系统框架

平台总体结构如图 1 所示。其硬件电路包括 DSP 芯片 VC5509A、电源电路、时钟电路、手动复位电路、CPLD 逻辑控制电路、存储器电路、AIC23B 接口及其外围电路等。该处理平台在设计时, 考虑到了以下几个方面的设计要求: (1) 运算量。采用了高性能的 VC5509A DSP 芯片, 处理速度为 144 MIPS, 可快速实现适用于数字信号处理的复杂算法。(2) 接口。采用了两片内部集成 ADC 和 DAC 的 AIC23B, 可实现四通道音频信号输入和输出。(3) 功耗。采用低功耗设计, 选用了低功耗贴片封装的元器件, 以延长电池的使用时间、减小平台的体积和重量。

平台具有在线系统仿真、自举加载程序等功能, 同时还有调试方便、稳定性好、精度高等优点。

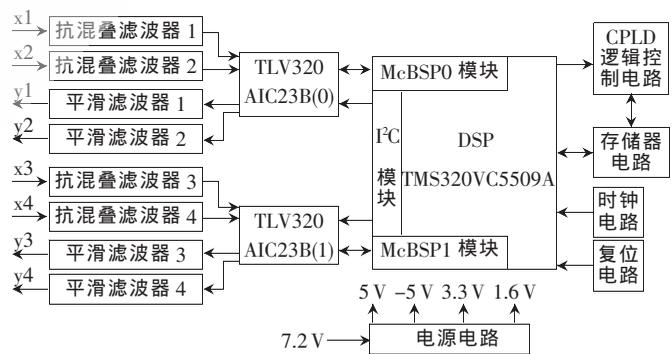


图 1 平台总体结构

### 2 平台电路设计

#### 2.1 电源电路设计

平台由 7.2 V 锂电池供电, 有 4 种典型电源: VC5509A 处理器的 I/O 电源 3.3 V、内核电源 1.6 V、模拟电路所需的  $\pm 5$  V 电源。为达到电源设计要求, 将 7.2 V 的锂电池电压降到 5 V, +5 V 电源产生电路如图 2 所示。利用 MAX660 将 +5 V 电源转换为 -5 V 输出, -5 V

# 硬件纵横

Hardware Technique

电源产生电路如图 3 所示。采用具有上电复位和监控功能的 TPS767D301 电源芯片，产生 3.3 V 和 1.6 V 电源，如图 4 所示。

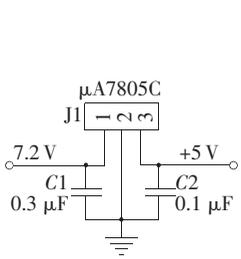


图 2 +5V 电源产生电路

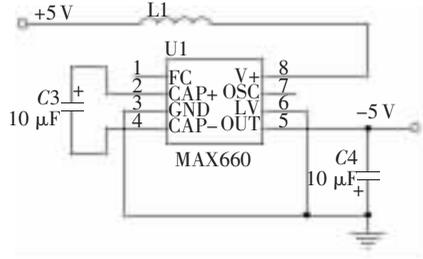


图 3 -5V 电源产生电路

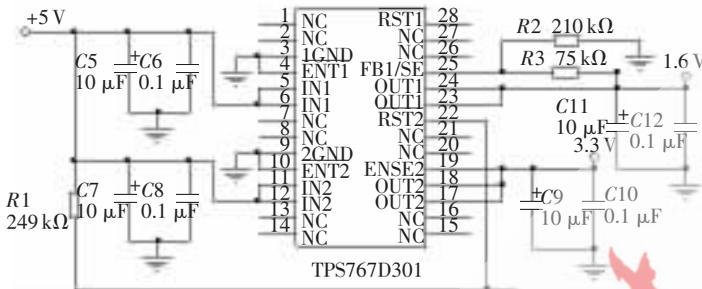


图 4 1.6V 和 3.3V 电源产生电路

## 2.2 时钟和手动复位电路设计

时钟电路如图 5 所示。VC5509A 处理器含有一个以 PLL 为基础的倍频模块用来生成处理器工作所需要的时钟。原始的时钟信号由外接石英晶体配合内部振荡器生成，通过时钟发生器的时钟模式寄存器 CLKMD 设置系统时钟。本平台由一个 12 MHz 的石英晶振提供参考频率。

手动复位电路如图 6 所示。按钮的作用是：当按钮闭合时，电容 C15 通过电阻 R4 进行放电，使电容 C15 上的电压降为 0；当按钮断开时，电容 C15 的充电过程与上电复位相同，从而实现复位。

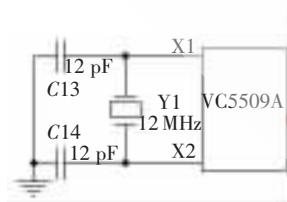


图 5 时钟电路

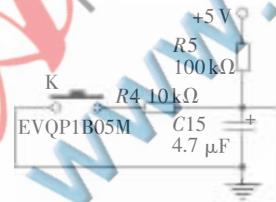


图 6 手动复位电路

## 2.3 CPLD 逻辑控制电路设计

CPLD 芯片选用了 XILINX 公司的 XC9536XL，主要用于 DSP 复位逻辑控制和实现外部存储器 Flash 的高位地址扩展。其逻辑控制电路如图 7 所示，其中 RST1 为手动复位信号，RST2 为 TPS767D301 的上电保护复位信号。

## 2.4 存储器扩展电路设计

开发 DSP 系统应用平台，最终要实现系统的用户程序脱离仿真环境独立运行工作，如果程序过大，并涉及到大量数据移动暂存，就需要外扩存储器。该平台通过

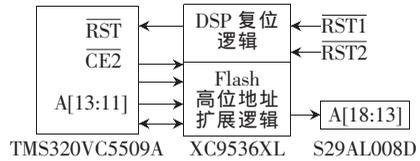


图 7 CPLD 逻辑控制电路示意图

VC5509A 的外部存储器接口 EMIF<sup>[3]</sup> 扩展了一片 64 Mb 的 SDRAM(HY57V641620)，用于数据暂存；还扩展了一片 8 Mb 的 Flash(S29AL008D)，用于永久性存储重要数据和程序。DSP 与 SDRAM、Flash 连接示意图分别如图 8、图 9 所示。



图 8 DSP 与 SDRAM 连接示意图

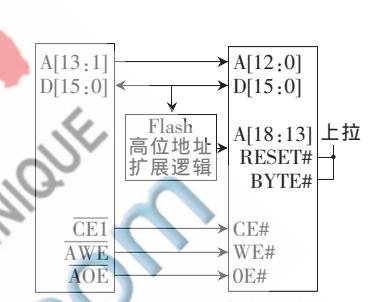


图 9 DSP 与 Flash 连接示意图

## 2.5 AIC23B 外围电路设计

AIC23B 是 TI 公司推出的一种高性能立体声音频编解码器 (Codec)，内部高度集成了模拟电路功能；数字传输字长可以是 16、20、24、32 bit，支持 8~96 kHz 的采样率。采样率为 96 kHz 的情况下能够达到 90 dB 信噪比；在数模转换器中的二阶多比特结构还可在采样率为 96 kHz 的情况下使信噪比达到 100 dB。该芯片在回放中的功耗小于 23 mW，采用工业级最小封装。因此，对于便携式的音频信号处理系统，AIC23B 无疑是十分理想的选择。

AIC23B 有三个接口：控制接口、模拟接口和数字音频接口。通过控制接口，VC5509A 可以使用 I<sup>2</sup>C 模式设置 AIC23B 的工作参数；通过模拟接口，AIC23B 可实现音频信号由传声器输入、经扬声器输出；通过数字音频接口，可以实现 AIC23B 与 VC5509A 的 McBSP<sup>[4]</sup> 通信。VC5509A 与 AIC23B(0) 和 AIC23B(1) 接口如图 10 所示。

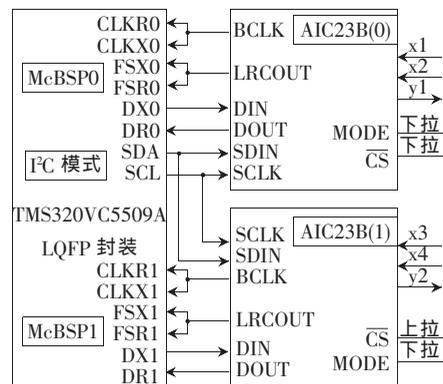


图 10 VC5509A 与 AIC23B(0) 和 AIC23B(1) 接口示意图

## 2.5.1 控制接口电路设计

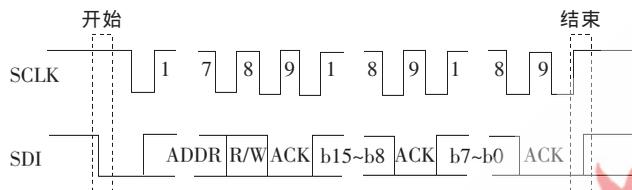
AIC23B 内部有 11 个可编程控制寄存器, 通过不同的参数配置, 可以改变芯片的工作状态, 如采样率、左右声道音量等。控制接口有两种模式, 如表 1 所示。本平台采用了两线制的 I<sup>2</sup>C 模式, 其时序如图 11 所示, 这时 MODE 管脚为低电平。AIC23B 作为总线的从设备, 从地址由 AIC23B 的引脚  $\overline{CS}$  状态(如表 2)决定, 平台 AIC23B (0) 的片选信号  $\overline{CS}$  下拉, AIC23B (1) 的片选信号  $\overline{CS}$  上拉。

表 1 接口模式选择

MODE 引脚电平	接口模式
0	I <sup>2</sup> C 模式
1	SPI 模式

表 2 AIC23B 从设备地址选择

$\overline{CS}$ 引脚电平	地址
0	0011010
1	0011011

图 11 I<sup>2</sup>C 模式时序

## 2.5.2 模拟接口电路设计

## (1) 传声器输入电路设计

传声器输入通道电路如图 12 所示(共 4 路, 只画出 1 路)。该电路主要完成对来自传声器输出信号的放大、抗混叠滤波, 同时提供给传声器的直流偏置。为简化电路、降低功耗, 将前置放大和抗混叠滤波用一个运算放大器 MAX4252 实现。

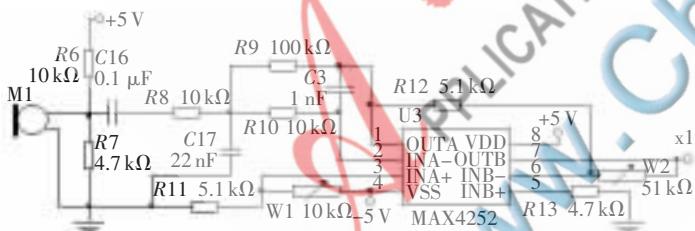


图 12 传声器输入通道电路

## (2) 扬声器输出电路设计

扬声器输出电路如图 13 所示(共 4 路, 只画出其中 1 路), 由功放、平滑滤波器、扬声器等部分组成, R14、R15、C18、C19 构成无源二阶平滑滤波器。平滑滤波器为简单的二阶 RC 低通滤波器, 功放采用 MC34119DTB。

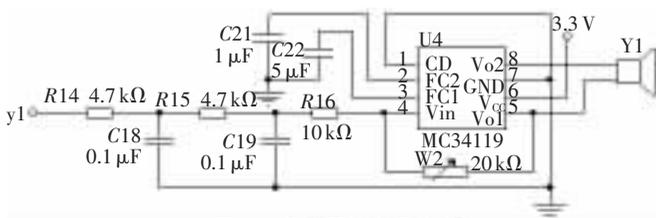


图 13 扬声器输出通道电路

## 2.5.3 数字音频接口电路设计

AIC23B 支持四种音频接口模式: 右判断模式、左判断模式、I<sup>2</sup>S 模式和 DSP 模式。AIC23B 的数据接口一般采用 I<sup>2</sup>S (Inter-IC Sound) 和 DSP 模式。I<sup>2</sup>S 总线是 Philip 公司为数字音频设备之间的音频数据传输而制定的一种总线标准。这两种模式均可以方便地与 VC5509A 的 McBSP 相连接。平台采用了 DSP 模式与 McBSP 实现无缝连接, 且用 AIC23B 作为主设备, 主设备时钟由一个 12 MHz 的石英晶振提供, 两个 12 pF 的电容滤波。

在 DSP 模式下, AIC23B 引脚 LRCIN 和 LRCOUT 必须连接到 McBSP 的帧同步信号上。在 LRCIN 或 LRCOUT 的下降沿开始发送数据, 先发送左通道信号字, 紧接着发送右通道信号字。DSP 模式时序如图 14 所示。信号字的长度由 IWL 寄存器决定, 唯一要注意的是 McBSP 的发送与接收时钟均由 AIC23B 提供。



图 14 DSP 模式时序图

本文以 VC5509A 为核心, 成功地设计了一个多通道音频信号处理平台。该平台性能高、体积小、功耗低、便于携带和使用, 且价格低, 基于本平台的一个全数字式有源抗噪声耳罩成本不足 400 元(而目前国外公司类似产品售价达上千美元)。利用该平台可实现前馈、反馈和复合消噪算法。用经典的 FLMS 算法对该平台进行了初步实验, 结果表明, 源噪声为单频噪声时, 在 80~700 Hz 范围以内, 降噪效果明显。

## 参考文献

- [1] TI. Datasheet of TMS320VC5509A fixed-point digital signal processor. 2007.
- [2] TI. Datasheet of TLV320AIC23B data manual. 2004.
- [3] 赵洪亮. TMS320VC55x DSP 应用系统设计[M]. 北京: 北京航空航天大学出版社, 2008.
- [4] 彭启琮. TMS320VC55x 系列 DSP 的 CPU 与外设 [M]. 北京: 清华大学出版社, 2005.

(收稿日期: 2011-03-07)

## 作者简介:

孙国华, 男, 1981 年生, 硕士, 主要研究方向: 电子应用系统及仪器设备, 信号处理。

揭建英, 女, 1984 年生, 硕士, 总工程师, 主要研究方向: 惯性产品, GPS/NS 组合导航产品等。