

基于 FPGA 的 1553B 总线接口设计

李娟,周井泉

(南京邮电大学 电子科学与工程学院,江苏 南京 210003)

摘要: 在深入研究 1553B 总线标准的基础上,介绍了一种基于 FPGA 的总线接口通信模块的芯片设计方法。给出了总体设计方案,从模拟和数字两方面分析了各功能模块。最后在 Xilinx 软件中用 VHDL 编程,下载程序到硬件开发板中,验证设计的可靠性和准确性。

关键词: 1553B 总线;接口通信模块;FPGA

中图分类号: TP2

文献标识码: A

文章编号: 1674-7720(2011)12-0096-03

Interface design of 1553B bus based on FPGA

Li Juan, Zhou Jingquan

(School of Electronic Science and Engineering, Nanjing University of Posts and Telecommunications, Nanjing 210003, China)

Abstract: Through deeply researching the 1553B bus standard, this paper introduces the core design of bus interface communication module. Conceptual schematic is provided in this paper, and the various functional modules are analyzed from both analog and digital parts. This design is programmed by VHDL language in Xilinx software platform, by loading the program into chip, the reliability and accuracy of this design are validated.

Key words: 1553B bus; interface communication module; FPGA

MIL-STD-1553 总线是美国 20 世纪 80 年代制定的第一个军用数据总线标准,它是一种串行的数据总线。该总线标准自制定后广泛应用于军用飞机、车辆、船舶中,并鉴于其高可靠性和灵活性,逐渐应用在许多其他机动平台上。

1553B 是一种时分制指令/响应式多路传输数据总线,总线上的所有消息传输都由总线控制器发起,远程终端对发出的指令应给予回答(响应)并执行相关操作。这种方式非常适合集中控制的分布式处理系统。1553B 总线通信系统是由总线控制器、远程终端、总线监控器三部分组成。一个通信总线上最多可以挂 32 个远程终端,传输介质采用屏蔽双绞线,对噪声等干扰有很好的抑制能力。1553B 总线的数据传输率为 1 Mb/s,在一次消息传输中最多可以传送 32 个字,所有单次传输的时间较短,具有很好的实时性^[1]。

在 MIL-STD-1553 总线通信系统中,总线接口板是系统的关键部分,其中核心部分的接口电路是总线应用中的主要制约因素。在 1553B 总线得到广泛应用的今天,国内应用 1553B 总线协议的通信模块的解决方案多采取基于进口 1553B 总线

协议芯片来开展相关设计,如 UT 公司的 UT1553B 协议芯片、DDC 公司的高级协议处理芯片 BU-61580 等,虽然这些芯片能够完成协议功能,但价格昂贵、灵活性差,这些弱点在一定程度上限制了设计能力,因此提出一种新的基于嵌入式方法实现的 1553B 数据总线接口逻辑。

1 系统总体设计方案

本文采用 Xilinx 公司的 FPGA 芯片作为协议处理核心器件,选用 TI 公司的 TMS320C5510 作为主处理器负责接收 FPGA 处理过的数据和调度 FPGA 的具体操作。总体方案的系统结构如图 1 所示。

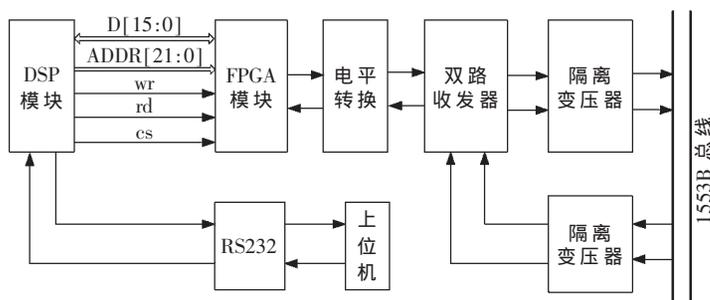


图 1 系统结构图

1.1 模拟收发部分电路设计

由于 1553B 总线上传输的是双极性的差分信号,主处理器不能直接接收来自总线上的数据,所以需要信号调制解调及电平转换电路。

电平转换部分一方面将总线上传输的电平信号转换成标准的 CMOS 电平供处理器使用,另一方面将处理器发出的 CMOS 信号变成总线标准进行传输。模拟收发器部分简单地说就是将单极性曼彻斯特编码和双极性曼彻斯特编码相互转换。本文采用 HOLT 公司的 HI-1567PSI,它是一款专门为 MIL-STD-1553 开发的模拟收发器,供电电压为 3.3 V,通过隔离变压器连接到总线上。HI-1567PSI 是双通道收发器结构,因此要有两个隔离变压器与其相连接。

1.2 总线接口的数字通信部分

数字通信部分是 1553B 总线接口模块的核心,完成协议数据的收发处理,由可编程逻辑器件 Virtex 系列芯片和 DSP 芯片组成。FPGA 芯片在模块中起到 1553B 通道的作用,接收总线上传来的数据并根据协议进行处理之后送给处理器。FPGA 模块中开辟了足够空间的 FIFO 存储处理后的数据,当达到一定数量后,主处理器采用中断的方式读取 FIFO 中的数据。在本文的设计中,为了便于观察实验结果,将 DSP 接收到的数据送到串口上进行显示。同样地,DSP 将要发送的数据送到 FPGA 开辟的另一个 FIFO 中,当每个数据编码结束后通过状态机程序产生 FIFO 信号的时钟读取下一个数据进行编码,所以这里的 FIFO 采用的是异步的工作方式。

2 核心模块功能分析

总线接口模块最主要的部分是 FPGA 实现的功能,其总体功能如图 2 所示。

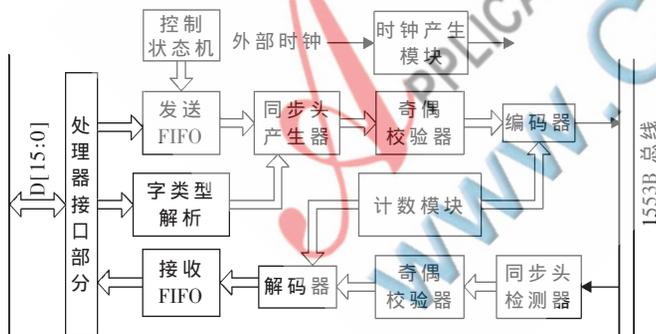


图 2 FPGA 功能图

FPGA 中最重要的部分是发送器和接收器,现将这两部分的工作过程做简要分析。

2.1 数字发送器

(1) DSP 将要发送的数据依次送到发送 FIFO 中进行存储,硬件将根据状态机运行情况产生 FIFO 读时钟读取数据并送到同步头产生器。

(2) 根据要发送的是状态/命令字或数据字在同步头产生器中加上相应的同步头,若是状态/命令字则在有效数据前加上 3 个二进制位,先正后负,正负电平各占

1.5 bit,数据字则相反。

(3) 奇偶校验器通过将有效数据位的各位进行异或即可实现。

(4) 硬件将经过奇偶校验器的数据送到曼彻斯特编码器进行编码,编码器的实现相对较简单。编码时钟采用 2 MHz,有效数据位和奇偶校验位都采用曼彻斯特码的形式发送,加上同步头共 40 bit 二进制位,使用 2 MHz 的时钟发送到 1553B 数据总线上^[2]。

在数字发送部分控制状态机是保证时序的关键所在,状态机不仅控制发送 FIFO 的时钟,同时也有效地输出编码的触发信号。状态机的状态转移如图 3 所示。

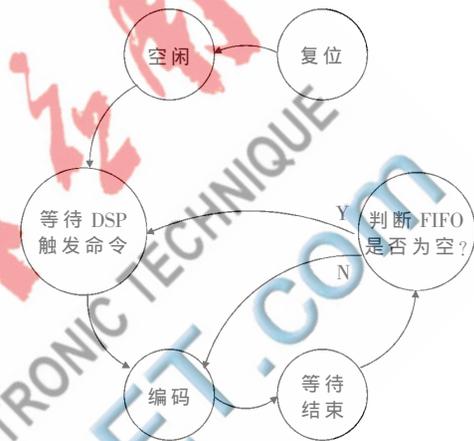


图 3 状态转移图

2.2 数字接收器

(1) FPGA 将经过模拟电路后的单极性曼彻斯特码送到同步头检测器,提取同步头后进行奇偶校验,然后再送到解码器。

(2) 解码器采用 8 MHz 的时钟进行采样,由于曼彻斯特编码在时钟的中间时刻有电平的跳变,所以在采样到跳变沿的下一个时钟将采样到的数据取反就得到二进制码。同时,当计数器计数到 132 时对一个有效数据字解码结束产生使能信号停止采样,将 17 bit 二进制数放到移位寄存器中实现串并转换。

(3) 解码器在解码完一个数据后会产生接收 FIFO 的时钟信号,将数据送到接收 FIFO 中,当 FIFO 中达到可编程设定的数据后便产生中断信号,通知 DSP 将数据读走。

3 功能仿真及试验结果分析

在研究分析了 1553B 总线接口模块的功能及系统设计^[3-5]后,在实验室经过 PCB 设计投产了两块板卡,搭建了实验平台并进行功能验证。由于实验室条件有限,功能验证的设计流程是将发送模块 DSP 发送的数据经过 FPGA 处理,得到曼彻斯特编码,并经过模拟收发器、耦合变压器后连接到接收模块的输入端,信号经过模拟电路部分送到 FPGA 解码后送给 DSP 处理^[6-7]。

在总线接口模块中,曼彻斯特编解码是实现功能的核心部分,所以编码数据和解码数据是进行功能验证时

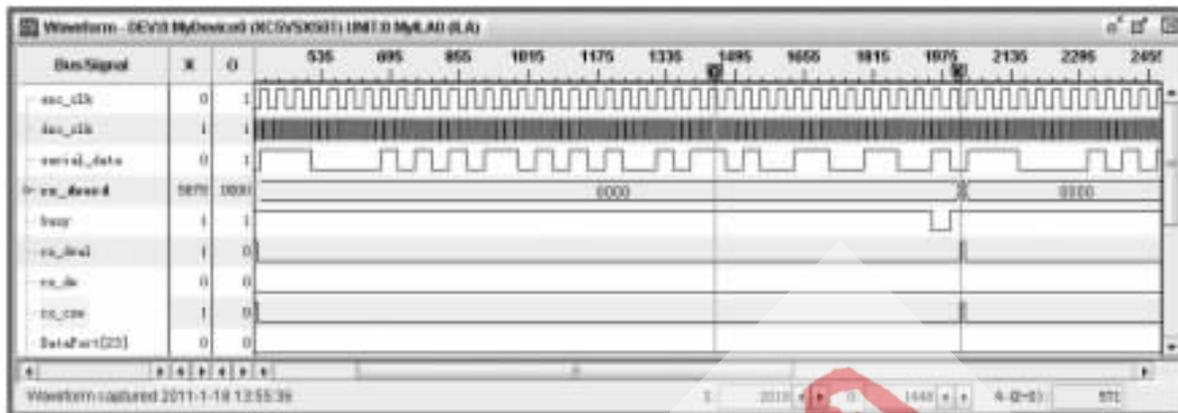


图4 调试波形图

观察的重点。为了观察曼彻斯特编解码是否正确,这里采用 Xilinx 的 Chip Scope 逻辑分析仪观察数据,serial_data 是发送模块经过编码部分处理后的串行数据,rx_dword 是接收模块中经过解码部分得到的 16 bit 数据,对比这两个数据的波形是否满足曼彻斯特编码标准即可验证设计的准确性,用 Chip Scope 捕捉到的波形如图 4 所示。

从上面的波形图中可以看到,busy 信号在编码的过程中一直为高电平,在编码结束后的一个编码时钟周期内为低电平。rx_dval 信号在解码结束的一个解码时钟周期内为高电平,说明此时解码结束,接收到的数据 rx_dword 为 5678,对比发送的数据和编码数据 serial_data,说明编解码均正确。

同时,为了观察 DSP 发送的数据与接收模块 DSP 接收的数据是否正确,提高测试数据的直观性,在这里加上串口调试助手,通过 RS232 总线传输接收数据,于 PC 机平台上运行串口调试助手观察接收数据。

在分析了 1553B 总线接口模块的功能后介绍了总线接口部分的 FPGA 系统设计,在搭建的平台上进行了功能验证,实验过程中获得的数据表明了论文中设计的

接口模块的功能达到了预期目标要求。

参考文献

- [1] DDC Company.MIL-STD-1553 Designer's Guide.pdf[S]. Sixth Edition.1998.
- [2] CONDOR ENGINEERING.MIL-STD-1553 tutorial.pdf[S]. 1997.
- [3] 武恒州,王维.基于 FPGA 的 1553B 总线控制器接口芯片设计[J].仪器仪表用户,2010,17(3):45-46.
- [4] 陈卫涛,史忠科.基于 FPGA 的 1553B 总线系统设计与实现[J].测控技术,2008,27(8):74-76.
- [5] 汤清华,曾婷婷,吴国安.1553B 多路总线接口的 FPGA 设计[J].设计与应用,2007,15(4):501-502.
- [6] 程希,罗志会,陈小刚.一种基于 FPGA 的曼彻斯特编解码电路设计[J].2008,30(6):85-87.
- [7] 何鹏.基于 DSP+FPGA 的 1553B 总线接口通讯模块的研究和应用[D].西安:长安大学,2009.

(收稿日期:2011-01-25)

作者简介:

李娟,女,1988 年生,硕士研究生,主要研究方向:通信网络的可靠性。